

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroyuki KANAYA

GAU:

SERIAL NO:NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE USING FERROELECTRIC FILM IN CELL CAPACITOR, AND  
METHOD FOR FABRICATING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

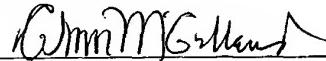
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-323948	November 7, 2002

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)  
 are submitted herewith  
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

02S1105

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2002年11月 7日

出願番号

Application Number:

特願2002-323948

[ST.10/C]:

[JP2002-323948]

出願人

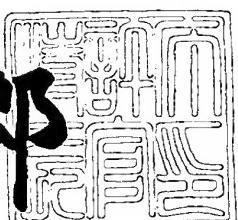
Applicant(s):

株式会社東芝

2003年 2月14日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3007473

【書類名】 特許願

【整理番号】 A000204450

【提出日】 平成14年11月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 15

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 金谷 宏行

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上に形成されたMOSトランジスタと、前記MOSトランジスタを被覆するようにして前記半導体基板上に形成された層間絶縁膜と、

前記層間絶縁膜中に形成され、前記MOSトランジスタの不純物拡散層と接続されたコンタクトプラグと、

前記コンタクトプラグ上に形成されたキャパシタ下部電極と、

前記キャパシタ下部電極上に形成された強誘電体膜と、

前記キャパシタ下部電極上に、前記強誘電体膜を介在して形成された2つのキャパシタ上部電極と

を具備し、前記コンタクトプラグと前記キャパシタ下部電極との接触面積は、前記キャパシタ上部電極の各々と前記強誘電体膜との接触面積よりも大きく、前記MOSトランジスタのゲート電極の少なくとも一部は、前記コンタクトプラグにおいて前記キャパシタ下部電極に接する領域の直下に位置する

ことを特徴とする半導体装置。

【請求項2】 前記キャパシタ下部電極は、前記コンタクトプラグ上に形成され、互いに分離された第1、第2電極部を含み、

前記2つのキャパシタ上部電極は、前記強誘電体膜を介在して、それぞれ前記第1、第2電極部上に形成されている

ことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記コンタクトプラグと前記キャパシタ下部電極との接触面積は、前記キャパシタ上部電極と前記強誘電体膜との接触面積の2倍以上であることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 半導体基板上に形成され、ソース、ドレイン領域のいずれか一方を共用する2つのMOSトランジスタと、

前記半導体基板上に形成され、前記MOSトランジスタを被覆する層間絶縁膜と、

前記層間絶縁膜中に形成され、前記2つのMOSトランジスタが共用するソース、ドレイン領域のいずれかに接続される第1プラグ部と、前記第1プラグ部上に形成され、前記第1プラグ部と接する領域から前記2つのMOSトランジスタのゲート電極の少なくとも一部上にわたって延設された第2プラグ部とを含むコンタクトプラグと、

前記コンタクトプラグの前記第2プラグ上に形成されたキャパシタ下部電極と

前記キャパシタ下部電極上に形成された強誘電体膜と、

前記強誘電体膜上に形成され、各々が前記MOSトランジスタそれぞれのゲート電極の少なくとも一部とオーバーラップする2つのキャパシタ上部電極とを具備し、

前記第2プラグ部と前記キャパシタ下部電極との接触面積は、前記キャパシタ上部電極の各々と前記強誘電体膜との接触面積よりも大きいことを特徴とする半導体装置。

【請求項5】 前記コンタクトプラグと前記キャパシタ下部電極との接触面積は、前記キャパシタ下部電極の前記コンタクトプラグに相対する面の面積よりも小さい

ことを特徴とする請求項1乃至4いずれか1項記載の半導体装置。

【請求項6】 前記キャパシタ下部電極は、白金族に属する金属元素を含むことを特徴とする請求項1乃至5いずれか1項記載の半導体装置。

【請求項7】 前記キャパシタ下部電極と前記コンタクトプラグとの間に形成されたシリサイド膜を更に備える

ことを特徴とする請求項1乃至6いずれか1項記載の半導体装置。

【請求項8】 半導体基板上にMOSトランジスタを形成する工程と、前記半導体基板上に、前記MOSトランジスタを被覆する第1層間絶縁膜を形成する工程と、

前記第1層間絶縁膜内に前記MOSトランジスタの不純物拡散層と接続されるコンタクトプラグを形成する工程と、

前記コンタクトプラグ上にキャパシタ下部電極を形成する工程と、

前記キャパシタ下部電極上に強誘電体膜を形成する工程と、  
前記キャパシタ下部電極上に前記強誘電体膜を介在して2つのキャパシタ上部  
電極を形成する工程と

を具備し、前記コンタクトプラグは、前記キャパシタ下部電極との接触面積が  
、前記キャパシタ上部電極の各々と前記強誘電体膜との接触面積よりも大きく、  
且つ、前記キャパシタ下部電極と接する領域が、前記MOSトランジスタのゲー  
ト電極の少なくとも一部領域の直上に位置するように形成される  
ことを特徴とする半導体装置の製造方法。

**【請求項9】** 前記キャパシタ下部電極を形成する工程は、  
前記第1層間絶縁膜及び前記コンタクトプラグ上に導電層を形成する工程と、  
前記導電層をパターニングして、前記コンタクトプラグ上に互いに分離された  
第1、第2電極部を形成する工程とを含み、  
前記2つのキャパシタ上部電極は、前記強誘電体膜を介在して、それぞれ前記  
第1、第2電極部上に形成される  
ことを特徴とする請求項8記載の半導体装置の製造方法。

**【請求項10】** 前記コンタクトプラグを形成する工程は、  
前記第1層間絶縁膜の表面内にトレンチを形成する工程と、  
前記第1層間絶縁膜内に、開口端が前記トレンチ内に位置し、前記不純物拡散  
層に達するコンタクトホールを形成する工程と、  
前記第1層間絶縁膜上にプラグ材を形成することにより、前記コンタクトホー  
ル及び前記トレンチ内を埋め込む工程と、  
前記第1層間絶縁膜をストッパーに用いて前記プラグ材を研磨することにより  
、前記プラグ材を前記コンタクトホール及びトレンチ内にのみ残存させる工程と  
を備えることを特徴とする請求項8または9記載の半導体装置の製造方法。

**【請求項11】** 前記コンタクトプラグを形成する工程は、  
前記第1層間絶縁膜内に、前記不純物拡散層に達しない深さのコンタクトホー  
ルを形成する工程と、  
前記第1層間絶縁膜の表面をエッチングすることにより、前記コンタクトホー  
ルの開口端を内部に含むトレンチを形成すると共に、同時に前記コンタクトホー

ル底部をエッティングすることにより、前記コンタクトホールの底部が前記不純物拡散層に達するようにする工程と、

前記第1層間絶縁膜上にプラグ材を形成することにより、前記コンタクトホール及び前記トレンチ内を埋め込む工程と、

前記第1層間絶縁膜をストッパーに用いて前記プラグ材を研磨することにより、前記プラグ材を前記コンタクトホール及びトレンチ内にのみ残存させる工程とを備えることを特徴とする請求項8または9記載の半導体装置の製造方法。

【請求項12】 前記コンタクトプラグを形成する工程は、

前記第1層間絶縁膜内に前記不純物拡散層に達するコンタクトホールを形成する工程と、

前記コンタクトホールを第1プラグ材で埋め込むことにより第1プラグを形成する工程と、

前記第1層間絶縁膜上に第2層間絶縁膜を形成する工程と、

前記第2層間絶縁膜内に、前記第1層間絶縁膜に達する深さのトレンチを形成し、該トレンチ内部に前記第1プラグを露出させる工程と、

前記トレンチ内を第2プラグ材で埋め込むことにより第2プラグを形成する工程と

を備えることを特徴とする請求項8または9記載の半導体装置の製造方法。

【請求項13】 前記第1、第2プラグ材は異なる材料であることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項14】 前記第1、第2プラグ材は同一の材料であることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項15】 前記トレンチは、前記MOSトランジスタのゲート電極の少なくとも一部とオーバーラップするように形成される

ことを特徴とする請求項10乃至14いずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置及びその製造方法に関するもので、特に、強誘電体メモリ (Ferroelectric Random Access Memory) の信頼性向上及び微細化の為の技術に関するものである。

## 【0002】

## 【従来の技術】

従来、強誘電体膜をセルキャパシタに用いた強誘電体メモリが、次世代の不揮発性半導体メモリとして注目されてきている。強誘電体メモリについて、図32を用いて説明する。図32は従来の強誘電体メモリの構造（例えば特許文献1参照）を示す断面図である。

## 【0003】

図示するように、強誘電体メモリのメモリセルは、DRAM (Dynamic Random Access Memory) 等と同様に、セルトランジスタ100とセルキャパシタ200を備えている。但し、セルキャパシタ200のキャパシタ絶縁膜210には強誘電体膜が使用されている。

## 【0004】

図33は、セルトランジスタ(T)のソース・ドレイン間にキャパシタ(C)の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した「TC並列ユニット直列接続型強誘電体メモリ」の断面図である（例えば特許文献2参照）。

## 【0005】

図示するように、TC並列ユニット直列接続型強誘電体メモリでは、2つのセルキャパシタ200がキャパシタ下部電極220を共有する。そして、下部電極220上に、2つのキャパシタ上部電極230が、強誘電体膜210を介在して形成されている。また下部電極220は、コンタクトプラグ240を介して2つのセルトランジスタ100に電気的に接続されている。

## 【0006】

## 【特許文献1】

特開2000-307079号公報

## 【0007】

## 【特許文献2】

特開2001-257320号公報

## 【0008】

## 【発明が解決しようとする課題】

しかしながら、上記従来のTC並列ユニット直列接続型強誘電体メモリであると、キャパシタ下部電極とコンタクトプラグ間の抵抗が大きい。従って、強誘電体メモリの信頼性が劣化し、製造歩留まりが悪化するという問題があった。

## 【0009】

従来、コンタクトプラグの材料としてタンクステンや多結晶シリコンの使用が検討されている。しかしこれらの材料は、セルキャパシタの強誘電体膜を結晶化する際の高温の酸素処理、あるいは異方性エッティングにより受けたダメージを回復させる為の高温の酸素回復処理により酸化されやすい。このことは、キャパシタ下部電極とコンタクトプラグとの接触抵抗を増大させ、ひいては歩留まりの低下を誘引する。

## 【0010】

この問題を解決する一つの手段としては、キャパシタ下部電極とコンタクトプラグとの接触面積を大きくする方法が考え得る。しかし、キャパシタ下部電極はキャパシタ上部電極と同一サイズであることが好ましく、メモリセルの微細化の観点からは、キャパシタ下部電極のサイズを大きくし難い。また、図34に示すように、コンタクトプラグのサイズを大きくすることも、メモリセルの微細化を妨げる。従って、メモリセルの微細化とコンタクト抵抗の低減とが両立しえないという問題があった。

## 【0011】

この発明は、上記事情に鑑みてなされたもので、セルキャパシタとコンタクトプラグとの接触抵抗を低減出来ると共に微細化可能な半導体装置及びその製造方法を提供することにある。

## 【0012】

## 【課題を解決するための手段】

この発明に係る半導体装置は、半導体基板上に形成されたMOSトランジスタ

と、前記MOSトランジスタを被覆するようにして前記半導体基板上に形成された層間絶縁膜と、前記層間絶縁膜中に形成され、前記MOSトランジスタの不純物拡散層と接続されたコンタクトプラグと、前記コンタクトプラグ上に形成されたキャパシタ下部電極と、前記キャパシタ下部電極上に形成された強誘電体膜と、前記キャパシタ下部電極上に、前記強誘電体膜を介在して形成された2つのキャパシタ上部電極とを具備し、前記コンタクトプラグと前記キャパシタ下部電極との接触面積は、前記キャパシタ上部電極の各々と前記強誘電体膜との接触面積よりも大きく、前記MOSトランジスタのゲート電極の少なくとも一部は、前記コンタクトプラグにおいて前記キャパシタ下部電極に接する領域の直下に位置することを特徴としている。

#### 【0013】

またこの発明に係る半導体装置は、半導体基板上に形成され、ソース、ドレイン領域のいずれか一方を共用する2つのMOSトランジスタと、前記半導体基板上に形成され、前記MOSトランジスタを被覆する層間絶縁膜と、前記層間絶縁膜中に形成され、前記2つのMOSトランジスタが共用するソース、ドレイン領域のいずれかに接続される第1プラグ部と、前記第1プラグ部上に形成され、前記第1プラグ部と接する領域から前記2つのMOSトランジスタのゲート電極の少なくとも一部上にわたって延設された第2プラグ部とを含むコンタクトプラグと、前記コンタクトプラグの前記第2プラグ上に形成されたキャパシタ下部電極と、前記キャパシタ下部電極上に形成された強誘電体膜と、前記強誘電体膜上に形成され、各々が前記MOSトランジスタそれぞれのゲート電極の少なくとも一部とオーバーラップする2つのキャパシタ上部電極とを具備し、前記第2プラグ部と前記キャパシタ下部電極との接触面積は、前記キャパシタ上部電極の各々と前記強誘電体膜との接触面積よりも大きいことを特徴としている。

#### 【0014】

この発明に係る半導体装置の製造方法は、半導体基板上にMOSトランジスタを形成する工程と、前記半導体基板上に、前記MOSトランジスタを被覆する第1層間絶縁膜を形成する工程と、前記第1層間絶縁膜内に前記MOSトランジスタの不純物拡散層と接続されるコンタクトプラグを形成する工程と、前記コンタ

クトプラグ上にキャパシタ下部電極を形成する工程と、前記キャパシタ下部電極上に強誘電体膜を形成する工程と、前記キャパシタ下部電極上に前記強誘電体膜を介在して2つのキャパシタ上部電極を形成する工程とを具備し、前記コンタクトプラグは、前記キャパシタ下部電極との接触面積が、前記キャパシタ上部電極の各々と前記強誘電体膜との接触面積よりも大きく、且つ、前記キャパシタ下部電極と接する領域が、前記MOSトランジスタのゲート電極の少なくとも一部領域の直上に位置するように形成されることを特徴としている。

#### 【0015】

上記半導体装置及びその製造方法によれば、コンタクトプラグとキャパシタ下部電極との接触面積は、キャパシタ上部電極と強誘電体膜との接触面積よりも大きい。従って、コンタクトプラグとキャパシタ下部電極との接触抵抗を低減でき、半導体装置の信頼性を向上できる。また、MOSトランジスタのゲート電極の少なくとも一部は、コンタクトプラグにおいてキャパシタ下部電極に接する領域の直下に位置する。従って、コンタクトプラグとキャパシタ下部電極との接触面積を増加させても、隣接するMOSトランジスタのゲート電極間距離が増加することを抑制出来る。従って、コンタクトプラグとキャパシタ下部電極との接触抵抗を低減しつつ、半導体装置の微細化が可能となる。

#### 【0016】

##### 【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

#### 【0017】

この発明の第1の実施形態に係る半導体装置について、図1を用いて説明する。図1は、COP(Capacitor Over Plug, Capacitor On Plate line)構造を採用したTC並列ユニット直列接続型強誘電体メモリの平面図である。

#### 【0018】

図示するように、シリコン基板10中にはメモリセルを形成すべき複数の素子領域AAがストライプ状に形成されている。素子領域AA以外の領域には素子分離領域STIが形成されている。また、シリコン基板10上にはワード線WLが

、複数の素子領域AAを跨ぐようにして、素子領域AAの長手方向に直交する方向にストライプ状に形成されている。ワード線WLと素子領域AAの交差する領域には、セルトランジスタ（図示せず）が形成されている。更に、セルトランジスタの略直上の領域にはセルキャパシタCCが形成されている。セルキャパシタCCは、キャパシタ下部電極11と、キャパシタ下部電極11上に強誘電体膜を介在して形成されたキャパシタ上部電極12とを備えている。また、素子領域AAの長手方向に沿って隣接する2つのセルキャパシタCCは、キャパシタ下部電極11を共用しており、2つのセルトランジスタの略直上の領域に跨って形成されている。そして個々のキャパシタ下部電極11は、シリコン基板10面内において千鳥状に配置されており、2つのセルトランジスタの不純物拡散層の一方に、コンタクトプラグCP1を介して電気的に接続されている。キャパシタ下部電極11上に強誘電体膜を介在して形成されたキャパシタ上部電極12は、セルトランジスタ毎に分離されており、セルトランジスタの略直上の領域に形成されている。またキャパシタ上部電極は、セルトランジスタの不純物拡散層の他方と、コンタクトプラグCP2、CP3を介して電気的に接続されている。なお、図1ではキャパシタ下部電極11が千鳥状に配置されている場合を例に挙げたが、例えば格子状に配置されていても良い。

#### 【0019】

次に、TC並列ユニット直列接続型強誘電体メモリの断面構造について図2を用いて説明する。図2は図1におけるX1-X1'線に沿った断面図である。

#### 【0020】

図示するように、シリコン基板10上には、ゲート電極13がゲート絶縁膜14を介在して形成されている。ゲート電極13は、例えば多結晶シリコン膜及びタンゲステン膜の2層構造である。更に、シリコン基板10内に、ソース、ドレイン領域となる不純物拡散層（図示せず）が選択的に形成されることにより、セルトランジスタが形成される。更に、シリコン基板10上には層間絶縁膜15が形成されており、層間絶縁膜15はセルトランジスタを被覆している。

#### 【0021】

層間絶縁膜15中には、セルトランジスタの不純物拡散層の一方及び他方にそ

それぞれ接続されたコンタクトプラグCP1、CP3が形成されている。コンタクトプラグCP1は、不純物拡散層の一方とセルキャパシタCCのキャパシタ下部電極11とを電気的に接続するためのものである。またコンタクトプラグCP3は、不純物拡散層の他方とキャパシタ上部電極12とを電気的に接続するためのものである。両者は例えばタンゲステンや多結晶シリコンによって形成される。コンタクトプラグCP1は、その上面が底面よりも大きい、すなわち、不純物拡散層との接触面積よりもキャパシタ下部電極11との接触面積が大きく、その形状は、略T字型である。そしてコンタクトプラグCP1の上面は、ゲート電極13の少なくとも一部とオーバーラップしている。

## 【0022】

コンタクトプラグCP1上には、セルキャパシタCCが形成されている。セルキャパシタCCは、コンタクトプラグCP1上に形成されたキャパシタ下部電極11、キャパシタ下部電極11上に形成されたキャパシタ絶縁膜16、及びキャパシタ絶縁膜16上に形成されたキャパシタ上部電極12を有している。キャパシタ下部電極11及びキャパシタ絶縁膜16は、2つのセルトランジスタの間で共用されており、キャパシタ上部電極12は個々に分離されている。またキャパシタ下部電極11は、コンタクトプラグ11上面を完全に被覆しており、ゲート電極13とオーバーラップしている。なお、キャパシタ下部電極11及び上部電極12は、白金族に属する金属元素を含む材料により形成され、キャパシタ絶縁膜16は強誘電体材料により形成される。

## 【0023】

層間絶縁膜15上には、層間絶縁膜17が形成されており、層間絶縁膜17はセルキャパシタCCを被覆している。層間絶縁膜17中には、キャパシタ上部電極12に接続されるコンタクトプラグCP2が形成されている。コンタクトプラグCP2は、例えばAlCuによって形成される。更に、層間絶縁膜17上には金属配線層18が形成されている。金属配線層18は、コンタクトプラグCP2とCP3とを電気的に接続する。その結果、セルトランジスタのソース、ドレイン間にセルキャパシタCCの両電極がそれぞれ接続されたメモリセルが形成される。そして、層間絶縁膜17上に、メモリセルを被覆する層間絶縁膜19が形成

されて、TC並列ユニット直列接続型強誘電体メモリが形成されている。

#### 【0024】

次に、上記構成のTC並列ユニット直列接続型強誘電体メモリの製造方法について図3乃至図13を用いて説明する。図3乃至図13はTC並列ユニット直列接続型強誘電体メモリの製造工程を順次示す断面図である。

#### 【0025】

まず、シリコン基板10中に、STI (Shallow Trench Isolation) 技術を用いて素子分離領域を形成する(図示せず)。そして、素子分離領域によって周囲を取り囲まれた素子領域AA上に、周知の技術によりMOSトランジスタを形成する。すなわち、図3に示すように、シリコン基板10上にゲート絶縁膜14としてのシリコン酸化膜を例えば熱酸化法等により形成する。次に、ゲート絶縁膜14上に、多結晶シリコン膜及びタンゲステン膜の2層膜13を堆積する。そして、多結晶シリコン膜及びタンゲステン膜をパターニングすることにより、ストライプ状のゲート電極13を複数形成する。その後、イオン注入によりシリコン基板10中に不純物を選択的に導入して、ソース、ドレイン領域となる不純物拡散層(図示せず)を形成する。このようにして形成されたMOSトランジスタは、TC並列ユニット直列接続型強誘電体メモリのセルトランジスタとして機能する。引き続き、セルトランジスタを被覆するようにして、シリコン基板10上に層間絶縁膜としてのシリコン酸化膜15を形成し、層間絶縁膜15を平坦化する。

#### 【0026】

次に、デュアルダマシン(Dual Damascene)法を用いてコンタクトプラグCP1を形成する。すなわち、図3に示すように、層間絶縁膜15上にマスク材20を形成する。そして、リソグラフィ技術とエッティングによりマスク材20を図示するようにパターニングする。

#### 【0027】

次に図4に示すように、マスク材20をマスクに用いて層間絶縁膜15表面をエッティングして、図示するような溝21を形成する。この溝21はコンタクトプラグCP1の一部の外壁を作るものであり、ゲート電極13の一部とオーバー

ラップするように形成する。その後、マスク材20を除去する。

#### 【0028】

次に図5に示すように、層間絶縁膜15上にマスク材26を形成する。そして、リソグラフィ技術とエッティングによりマスク材26を図示するようにパターニングする。

#### 【0029】

次に図6に示すように、マスク材26をマスクに用いて層間絶縁膜15をエッティングして、図示するようなコンタクトホール22を形成する。このコンタクトホール22もコンタクトプラグCP1の一部の外壁を作るものであり、その開口端が溝21内に露出され、且つ底面がセルトランジスタの不純物拡散層の一方に達するように形成される。その後、マスク材26を除去する。

#### 【0030】

次に図7に示すように、層間絶縁膜15、溝21、コンタクトホール22、及びコンタクトホール22底面に露出されている不純物拡散層上に、薄いバリアメタル層を形成する（図示せず）。バリアメタルは、例えばTi/TiNの多層膜で形成される。引き続き、バリアメタル層上にプラグ材23を形成して、溝21及びコンタクトホール22内部を埋め込む。プラグ材23は、例えばタンゲステンや多結晶シリコンである。

#### 【0031】

次に図8に示すように、層間絶縁膜15をストッパーに用いたCMP（Chemical Mechanical Polishing）法を用いてプラグ材23を研磨することにより、プラグ材23を溝21及びコンタクトホール22内部にのみ残存させる。その結果、図8に示すようなT字型のコンタクトプラグCP1が完成する。

#### 【0032】

次にコンタクトプラグCP1上にセルキャパシタCCを形成する。すなわち、まず図9に示すように、層間絶縁膜15及びコンタクトプラグCP1上に、キャパシタ下部電極層11、強誘電体層16及びキャパシタ上部電極層12を順次形成する。そして、強誘電体層16を結晶化させるために、酸素雰囲気中の高温熱処理（RTA：Rapid Thermal Annealing）を行う。熱処理条件は、例えば〇

<sub>2</sub> 中、600°C、1分である。なおキャパシタ下部電極層11は、この高温熱処理時において発生する酸素をコンタクトプラグCP1に侵入させ難い材料を使用する。すなわち、例えばバリアメタル/Ir/IrO<sub>x</sub>/Pt等の多層膜が用いられる。バリアメタルは、例えばTi、またはTi/TiN等が用いられる。なお強誘電体層16は、例えばジルコン酸チタン酸鉛(Pb-Zr-Ti-O:PZT)で形成され、キャパシタ上部電極層12は、例えばIrO<sub>x</sub>/Ir等の多層膜で形成される。

#### 【0033】

次に図10に示すように、キャパシタ上部電極層12上にマスク材24を形成する。そして、リソグラフィ技術とエッチングを用いて、マスク材24をキャパシタ上部電極の形成パターンにパターニングする。

#### 【0034】

次に図11に示すように、マスク材24をマスクに用いて、例えばRIE(Reactive Ion Etching)法等の異方性のエッチングによりキャパシタ上部電極層をエッチングして、図示するようなキャパシタ上部電極12を形成する。その後、マスク材24を除去する。

#### 【0035】

次に図12に示すように、強誘電体層16上に、キャパシタ上部電極を被覆するようにしてマスク材25を形成する。そして、リソグラフィ技術とエッチングにより、マスク材25をキャパシタ下部電極の形成パターンにパターニングする。この際、残存するマスク材25がコンタクトプラグCP1の直上に位置し、且つ、コンタクトプラグCP1の上面が完全にマスク材25に覆われるように、マスク材25をパターニングする。

#### 【0036】

次に図13に示すように、マスク材25をマスクに用いて、例えばRIE法により強誘電体層16及びキャパシタ下部電極層11をエッチングして、図示するようなキャパシタ下部電極11を形成する。その後、マスク材25を除去する。引き続き、必要によっては、RIE時にキャパシタ下部電極11が受けたダメージを回復させるための酸素アニールを行う。アニールの条件は、O<sub>2</sub>中、600

℃、1時間である。

#### 【0037】

上記の結果、図13に示すようなセルキャパシタCCが完成する。すなわち、キャパシタ下部電極11とコンタクトプラグCP1との接触面積が、キャパシタ上部電極12と強誘電体膜16との接触面積よりも大きいセルキャパシタが完成する。また、図13の構造であると、キャパシタ下部電極11とコンタクトプラグCP1との接触面積は、キャパシタ上部電極12と強誘電体膜16との接触面積の2倍以上の大きさを有している。

#### 【0038】

その後は、層間絶縁膜15上に更に層間絶縁膜17を形成し、層間絶縁膜17の平坦化を行う。そして、層間絶縁膜17中にキャパシタ上部電極12に達するコンタクトホールを形成する。そして、酸素リカバリーアニール(500℃、1時間)を行う。このアニールの際、コンタクトプラグCP1が酸化されやすい。従って、コンタクトプラグCP1の酸化防止のために、キャパシタ形成後の層間絶縁膜17形成前、または層間絶縁膜17中に、 $\text{Al}_2\text{O}_3$ 層(例えば厚さ50Å)、または $\text{Al}_x\text{S}_y\text{O}_z$ 層(例えば厚さ500Å)を形成しておくことが望ましい。

#### 【0039】

そして、コンタクトホールをバリアメタル(例えばTiN)とAlCu層によって埋め込むことで、コンタクトプラグCP2を形成する。更に、セルトランジスタの不純物拡散層の他方に接続するコンタクトプラグCP3を形成する。そして、コンタクトプラグCP2とCP3とを接続する金属配線層18を形成し、更に層間絶縁膜19等を形成することで、図2に示すTC並列ユニット直列接続型強誘電体メモリが完成する。

#### 【0040】

上記本実施形態に係るTC並列ユニット直列接続型強誘電体メモリであると、メモリセルの微細化を妨げることなく、コンタクトプラグとキャパシタ下部電極との接触抵抗を低減できる。従って、メモリセルの信頼性を維持しつつ、製造コストを削減できる。本効果について図14を用いて説明する。図14は、メモリ

セルの拡大図である。

#### 【0041】

図示するように、セルトランジスタの不純物拡散層27とキャパシタ下部電極11とを接続するコンタクトプラグCP1は、T字型の形状を有している。また、コンタクトプラグCP1とキャパシタ下部電極11との接触面積d2は、キャパシタ上部電極12と強誘電体膜16との接触面積d3よりも大きい。特に、キャパシタ上部電極12と強誘電体膜16との接触面積d3の2倍以上である。

#### 【0042】

従って、従来に比べてコンタクトプラグCP1とキャパシタ下部電極11との接触面積を大きくすることが出来るので、両者の間の抵抗を低減することが出来る。更に、コンタクトプラグCP1は、不純物拡散層27と接する領域の面積よりも、キャパシタ下部電極11と接する領域の面積の方が大きくされている。すなわち、コンタクトプラグCP1は略T字状をしている。そして、ゲート電極13の少なくとも一部は、コンタクトプラグCP1の一部とオーバーラップしている。換言すれば、ゲート電極13は、セルキャパシタCC、特にキャパシタ下部電極11の略直下に位置している。従って、コンタクトプラグCP1とキャパシタ下部電極11との接触面積を増大させつつ、メモリセルのサイズが増大することを抑制できる。より具体的には、隣接するゲート電極13、13間距離は、従来通りの大きさを維持出来る。

#### 【0043】

また、キャパシタ下部電極11の面積d1はコンタクトプラグCP1の上面、すなわちキャパシタ下部電極11に相対する面の面積d2よりも大きい。そして、キャパシタ下部電極11は、コンタクトプラグCP1を完全に覆っている。従って、製造過程においてコンタクトプラグCP1がダメージを受けることを抑制できる。メモリセルを形成した後の多層配線形成工程では、例えばプラズマCVD (Chemical Vapor Deposition) 等、プラズマを使用する工程が多い。このプラズマは、層間絶縁膜の材料となるシリコン酸化膜中を容易に透過出来る。従って、層間絶縁膜中にコンタクトプラグが露出されると、コンタクトプラグはプラズマによってダメージを受ける。しかし本実施形態に係る構造であると、コ

ンタクトプラグCP1の上面はキャパシタ下部電極11によって覆われている。言い換ればキャパシタ下部電極11が傘のような役割を果たす。従って、プラズマはキャパシタ下部電極11によってブロックされ、コンタクトプラグCP1までは到達し難い。従って、コンタクトプラグCP1がプラズマダメージを受けることを抑制出来、コンタクトプラグCP1の信頼性を向上できる。

#### 【0044】

また、図13を用いて説明したように、RIE時にキャパシタ下部電極11が受けたダメージを回復させるための酸素アニールを行う場合がある。この際も、コンタクトプラグCP1の上面がキャパシタ下部電極11により覆われているため、コンタクトプラグCP1が酸化されることを抑制できる。

#### 【0045】

図15は、本実施形態に係る構成及び従来の構成を有するTC並列ユニット直列接続型強誘電体メモリの製造歩留まりを示すグラフである。図中の①は本実施形態、②は図32に示す従来構成、③は図33に示す従来構成を有する場合について示している。図示するように、本実施形態に係る構成であると、従来構成に比べて格段に製造歩留まりが向上していることが分かる。従って、製造コストが削減出来ることが分かる。

次にこの発明の第2の実施形態に係る半導体装置についてTC並列ユニット直列接続型強誘電体メモリを例に挙げて図16を用いて説明する。図16は本実施形態に係るTC並列ユニット直列接続型強誘電体メモリの断面図である。

#### 【0046】

図示するように、本実施形態に係るTC並列ユニット直列接続型強誘電体メモリは、上記第1の実施形態に係る構造において、コンタクトプラグCP1を2つのプラグ材で形成したものである。すなわち、層間絶縁膜15中には、セルトランジスタの不純物拡散層の一方に接続されるコンタクトプラグ30が形成されている。更に、層間絶縁膜15及びコンタクトプラグ30上に、コンタクトプラグ31が形成されている。この2つのコンタクトプラグ30、31が、上記第1の実施形態におけるコンタクトプラグCP1に相当する。そして、コンタクトプラグ31上に、セルキャパシタCCが形成されている。このコンタクトプラグ31

は、上記第1の実施形態のコンタクトプラグC P 1において溝2 1内を埋め込む領域に対応しており、コンタクトプラグ3 1はゲート電極1 3の少なくとも一部とオーバーラップしている。

#### 【0047】

次に、本実施形態に係るT C並列ユニット直列接続型強誘電体メモリの製造方法について図17乃至図22を用いて説明する。図17乃至図22は、本実施形態に係るT C並列ユニット直列接続型強誘電体メモリの製造工程を順次示す断面図である。

#### 【0048】

まず、上記第1の実施形態と同様に、シリコン基板10中に素子分離領域（図示せず）を形成し、更に素子領域AA中にセルトランジスタを形成する。引き続き、シリコン基板10上に層間絶縁膜15を形成し、層間絶縁膜15を平坦化する。

#### 【0049】

次に図17に示すように、マスク材34を層間絶縁膜15上に形成する。そして、リソグラフィ技術とエッティングとによりマスク材34を図示するようにパターニングする。

#### 【0050】

次に図18に示すように、マスク材34をマスクに用いて、RIE法により層間絶縁膜15をエッティングして、セルトランジスタの不純物拡散層の一方に達するコンタクトホールを形成した後、マスク材34を除去する。そして、コンタクトホールの内壁及びコンタクトホール底面に露出されている不純物拡散層上に、薄いバリアメタル層を形成する（図示せず）。バリアメタルは、例えばTi/TiNの多層膜で形成される。引き続き、バリアメタル層上にプラグ材を形成してコンタクトホールを埋め込む。そして、CMP法によってプラグ材を研磨することにより、プラグ材をコンタクトホール内にのみ残存させる結果、図示するようなコンタクトプラグ30が形成される。なお、コンタクトホールを埋め込むプラグ材には、例えばタンクスチタンや多結晶シリコンが用いられる。

#### 【0051】

次に図19に示すように、層間絶縁膜15及びコンタクトプラグ30上に、層間絶縁膜32を形成する。そして、リソグラフィ技術とエッチングとにより層間絶縁膜32を図20に示すようにパターニングする。層間絶縁膜32が除去される領域は、上記第1の実施形態において説明した溝21に相当する領域である。その結果、コンタクトプラグ30の上面が露出される。

#### 【0052】

次に図21に示すように、層間絶縁膜15、32、及びコンタクトプラグ30上に、薄いバリアメタル層を形成する（図示せず）。バリアメタルは、例えばTi/TiNの多層膜で形成される。引き続き、バリアメタル層上にプラグ材31を形成する。プラグ材31は、例えばタンクステンや多結晶シリコンで形成される。そして、層間絶縁膜32をストッパーに用いたCMP法を用いてプラグ材31を研磨することにより、プラグ材31を隣接する層間絶縁膜32間にのみ残存させる。その結果、互いに接続されたコンタクトプラグ30、31を有する、T字型のコンタクトプラグCP1が完成する。なお、コンタクトプラグ30、31は、共に同一の材料で形成されても良いし、異なる材料で形成されても構わない。

#### 【0053】

次にコンタクトプラグCP1上にセルキャパシタCCを形成する。すなわち、まず図22に示すように、層間絶縁膜15及びコンタクトプラグCP1上に、キャパシタ下部電極層11、強誘電体層16及びキャパシタ上部電極層12を順次形成する。

#### 【0054】

その後は、上記第1の実施形態において説明した、図10乃至図13に示す工程と同様の工程を行うことで、図16に示す構造が完成する。

#### 【0055】

本実施形態に係る構成及び製造方法であっても、上記第1の実施形態と同様の効果が得られる。

#### 【0056】

次にこの発明の第3の実施形態に係る半導体装置についてTC並列ユニット直

列接続型強誘電体メモリを例に挙げて図23を用いて説明する。図23は本実施形態に係るTC並列ユニット直列接続型強誘電体メモリの断面図である。

#### 【0057】

本実施形態に係るTC並列ユニット直列接続型強誘電体メモリは、上記第1の実施形態において、キャパシタ下部電極11及び強誘電体膜16を、個々のセルキャパシタ毎に分離させた構造を備えている。すなわち、コンタクトプラグCP1上には、互いに分離された2つのキャパシタ下部電極11が形成されている。そして、個々のキャパシタ下部電極11上には、強誘電体膜16及びキャパシタ上部電極12が順次形成されている。その他の構成は上記第1の実施形態と同様であるので説明は省略する。

#### 【0058】

また本実施形態に係る構成の製造方法は、上記第1の実施形態で図10を用いて説明した工程において、マスク材24をマスクに用いてキャパシタ上部電極層12のみならず、強誘電体層16及びキャパシタ下部電極11も併せてパターニングすることにより形成出来る。

#### 【0059】

本実施形態に係る構成及び製造方法であっても、上記第1の実施形態と同様の効果が得られる。なお、本実施形態に係る構成であると、コンタクトプラグCP1は、キャパシタ下部電極11によって完全には覆われていない。従って本実施形態は、キャパシタ下部電極11のパターニング後の酸素アニールを行わない場合に特に有効である。

#### 【0060】

次に、この発明の第4の実施形態に係る半導体装置についてTC並列ユニット直列接続型強誘電体メモリを例に挙げて図24を用いて説明する。図24は本実施形態に係るTC並列ユニット直列接続型強誘電体メモリの断面図である。

#### 【0061】

本実施形態に係るTC並列ユニット直列接続型強誘電体メモリは、上記第2、第3の実施形態を組み合わせたものである。すなわち、図示するように、コンタクトプラグCP1は、2つのコンタクトプラグ30、31を含んでいる。そして

、コンタクトプラグ31上に、個々に分離された2つのキャパシタ下部電極11が形成されており、キャパシタ下部電極11上には、強誘電体膜16を介在してキャパシタ上部電極12が形成されている。

#### 【0062】

本実施形態に係る構造は、上記第2の実施形態で説明した図22の構造を形成した後、上記第1の実施形態で説明した図10の工程において、マスク材24を用いてキャパシタ上部電極12、強誘電体膜16、及びキャパシタ下部電極11をパターニングすることで得られる。

#### 【0063】

本実施形態に係る構成及び製造方法によつても、上記第1の実施形態と同様の効果が得られる。

#### 【0064】

上記のように、この発明の第1乃至第4の実施形態に係る半導体装置によれば、セルトランジスタとセルキャパシタ下部電極とを接続するコンタクトプラグCP1は、T字型の形状を有している。そのため、コンタクトプラグCP1とキャパシタ下部電極11との接触面積は、キャパシタ上部電極12と強誘電体膜16との接触面積よりも大きい。特に、キャパシタ上部電極12と強誘電体膜16との接触面積の2倍以上である。また、コンタクトプラグCP1とキャパシタ下部電極11との接触面積は、キャパシタ下部電極11のコンタクトプラグCP1に相対する面の面積よりも小さくされている。更に、キャパシタ下部電極11は、セルトランジスタのゲート電極13の少なくとも一部とオーバーラップしている。

#### 【0065】

従つて、コンタクトプラグとセルキャパシタとの間の抵抗を低減でき、セルキャパシタの信頼性を向上できる。また同時に、メモリセル微細化が阻害されることを抑制できる。

#### 【0066】

なお、上記第1乃至第4の実施形態で説明した製造工程は一例に過ぎず、例えば図25乃至図27に示す方法によってコンタクトプラグCP1を形成しても良

い。図25乃至図27は、この発明の第1乃至第4の実施形態の変形例に係るT C並列ユニット直列接続型強誘電体メモリの製造工程を順次示す断面図である。

#### 【0067】

すなわち、まずシリコン基板10上にセルトランジスタ及び層間絶縁膜15を形成した後、層間絶縁膜15上にマスク材35を形成する。そして図25に示すように、マスク材35をパターニングした後、マスク材35をマスクに用いたRIE法により、コンタクトホール22を形成する。この工程は、上記第2の実施形態で説明した図17、図18の工程に相当するが、本変形例では、コンタクトホール22はセルトランジスタの不純物拡散層に到達しないようにする。そしてマスク材35を除去する。

#### 【0068】

次に図26に示すように、層間絶縁膜15上にマスク材36を形成する。そしてマスク材36を、上記第1の実施形態で図3を用いて説明したように、溝21形成パターンにパターニングする。

#### 【0069】

次に図27に示すように、マスク材36をマスクに用いたRIE法により、層間絶縁膜15をエッティングする。その結果、溝21が層間絶縁膜15の表面に形成されると同時に、コンタクトホール22底面の層間絶縁膜15がエッティングされ、コンタクトホール22が不純物拡散層に到達する。

#### 【0070】

その後、溝21及びコンタクトホール22をプラグ材で埋め込むことにより、コンタクトプラグCP1が完成する。

#### 【0071】

図28乃至図31はそれぞれ、上記第1乃至第4の実施形態の変形例に係るT C並列ユニット直列接続型強誘電体メモリの断面図である。図示するように、上記第1乃至第4の実施形態で説明した図2、図16、図23、図24の構成において、コンタクトプラグCP1の材料として多結晶シリコンを用いた場合には、コンタクトプラグCP1の上面にシリサイド膜37を設けても良い。シリサイド膜37は、例えばC<sub>o</sub>S<sub>i</sub>やTiS<sub>i</sub>等である。この場合には、コンタクトプラ

グC P 1とキャパシタ下部電極11との間の接触抵抗を更に低減できる。

#### 【0072】

また、上記第1乃至第4の実施形態では、キャパシタ電極材料としてイリジウム(Ir)を含んだ材料を用い、キャパシタ絶縁膜の材料としてP Z Tを用いた場合を例に挙げて説明した。しかし、電極材料には例えば白金(Pt)、パラジウム(Pd)、オスミウム(Os)、ロジウム(Rh)等の白金族やレニウム(Re)等をはじめとする他の導電膜を含む材料やこれらの合金、また、Sr-Ru-O(SRO)、RuO<sub>x</sub>等、これらの金属の導電性金属酸化物を用いることが出来る。キャパシタ絶縁膜には、バリウム(Ba)、ストロンチウム(Sr)、鉛(Pb)、チタン(Ti)、ジルコニウム(Zr)、及びタンタル(Ta)のいずれかを含む強誘電体膜、例えばTa-Ti-O、チタン酸鉛(Pb-Ti-O:PTO)、チタン酸ストロンチウム(Sr-Ti-O:STO)、チタン酸バリウム(Ba-Ti-O:BT0)チタン酸バリウム-ストロンチウム(Ba-Sr-Ti-O:BST)、タンタル酸ストロンチウム-ビスマス(Sr-Bi-Ta-O:SBT)等を用いることができる。

#### 【0073】

また、上記実施形態ではTC並列ユニット直列接続型強誘電体メモリを例に挙げて説明したが、勿論これに限定されるものではなく、例えばDRAMやMRAM(Magneto-resistive Random Access Memory)、メモリ混載ロジックなどにも適用出来る。

#### 【0074】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

#### 【0075】

**【発明の効果】**

以上説明したように、この発明によれば、セルキャパシタとコンタクトプラグとの接触抵抗を低減出来ると共に微細化可能な半導体装置及びその製造方法を提供出来る。

**【図面の簡単な説明】****【図1】**

この発明の第1の実施形態に係る強誘電体メモリの平面図。

**【図2】**

図1におけるX1-X1'線に沿った断面図。

**【図3】**

この発明の第1の実施形態に係る強誘電体メモリの第1の製造工程の断面図。

**【図4】**

この発明の第1の実施形態に係る強誘電体メモリの第2の製造工程の断面図。

**【図5】**

この発明の第1の実施形態に係る強誘電体メモリの第3の製造工程の断面図。

**【図6】**

この発明の第1の実施形態に係る強誘電体メモリの第4の製造工程の断面図。

**【図7】**

この発明の第1の実施形態に係る強誘電体メモリの第5の製造工程の断面図。

**【図8】**

この発明の第1の実施形態に係る強誘電体メモリの第6の製造工程の断面図。

**【図9】**

この発明の第1の実施形態に係る強誘電体メモリの第7の製造工程の断面図。

**【図10】**

この発明の第1の実施形態に係る強誘電体メモリの第8の製造工程の断面図。

**【図11】**

この発明の第1の実施形態に係る強誘電体メモリの第9の製造工程の断面図。

**【図12】**

この発明の第1の実施形態に係る強誘電体メモリの第10の製造工程の断面図

【図13】

この発明の第1の実施形態に係る強誘電体メモリの第11の製造工程の断面図

【図14】

この発明の第1の実施形態に係る強誘電体メモリのメモリセルの断面図。

【図15】

この発明の第1の実施形態及び従来の強誘電体メモリの製造歩留まりを示すグラフ。

【図16】

この発明の第2の実施形態に係る強誘電体メモリの断面図。

【図17】

この発明の第2の実施形態に係る強誘電体メモリの第1の製造工程の断面図。

【図18】

この発明の第2の実施形態に係る強誘電体メモリの第2の製造工程の断面図。

【図19】

この発明の第2の実施形態に係る強誘電体メモリの第3の製造工程の断面図。

【図20】

この発明の第2の実施形態に係る強誘電体メモリの第4の製造工程の断面図。

【図21】

この発明の第2の実施形態に係る強誘電体メモリの第5の製造工程の断面図。

【図22】

この発明の第2の実施形態に係る強誘電体メモリの第6の製造工程の断面図。

【図23】

この発明の第3の実施形態に係る強誘電体メモリの断面図。

【図24】

この発明の第4の実施形態に係る強誘電体メモリの断面図。

【図25】

この発明の第1乃至第4の実施形態の変形例に係る強誘電体メモリの第1の製

造工程の断面図。

【図26】

この発明の第1乃至第4の実施形態の変形例に係る強誘電体メモリの第2の製造工程の断面図。

【図27】

この発明の第1乃至第4の実施形態の変形例に係る強誘電体メモリの第3の製造工程の断面図。

【図28】

この発明の第1の実施形態の変形例に係る強誘電体メモリの断面図。

【図29】

この発明の第2の実施形態の変形例に係る強誘電体メモリの断面図。

【図30】

この発明の第3の実施形態の変形例に係る強誘電体メモリの断面図。

【図31】

この発明の第4の実施形態の変形例に係る強誘電体メモリの断面図。

【図32】

従来の強誘電体メモリの断面図。

【図33】

従来の強誘電体メモリの断面図。

【図34】

従来の強誘電体メモリの断面図。

【符号の説明】

10…シリコン基板

11、220…キャパシタ下部電極

12、230…キャパシタ上部電極

13…ゲート電極

14…ゲート絶縁膜

15、17、19、32…層間絶縁膜

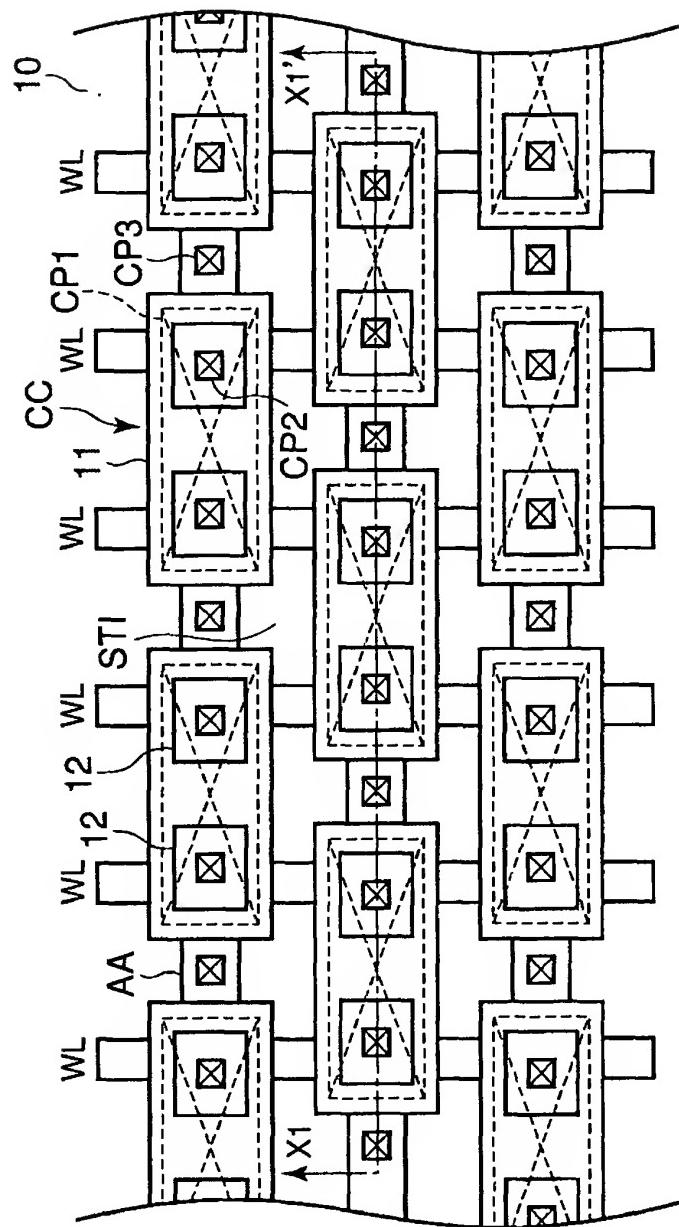
16、210…強誘電体膜

- 1 8 …金属配線層
- 2 0、2 4、2 5、2 6、3 4、3 5、3 6…マスク材
- 2 1 …溝
- 2 2 …コンタクトホール
- 2 3、3 0、3 1 …プラグ材
- 2 7 …不純物拡散層
- 3 7 …シリサイド膜
- 1 0 0 …セルトランジスタ
- 2 0 0 …セルキャパシタ
- 2 4 0 …コンタクトプラグ

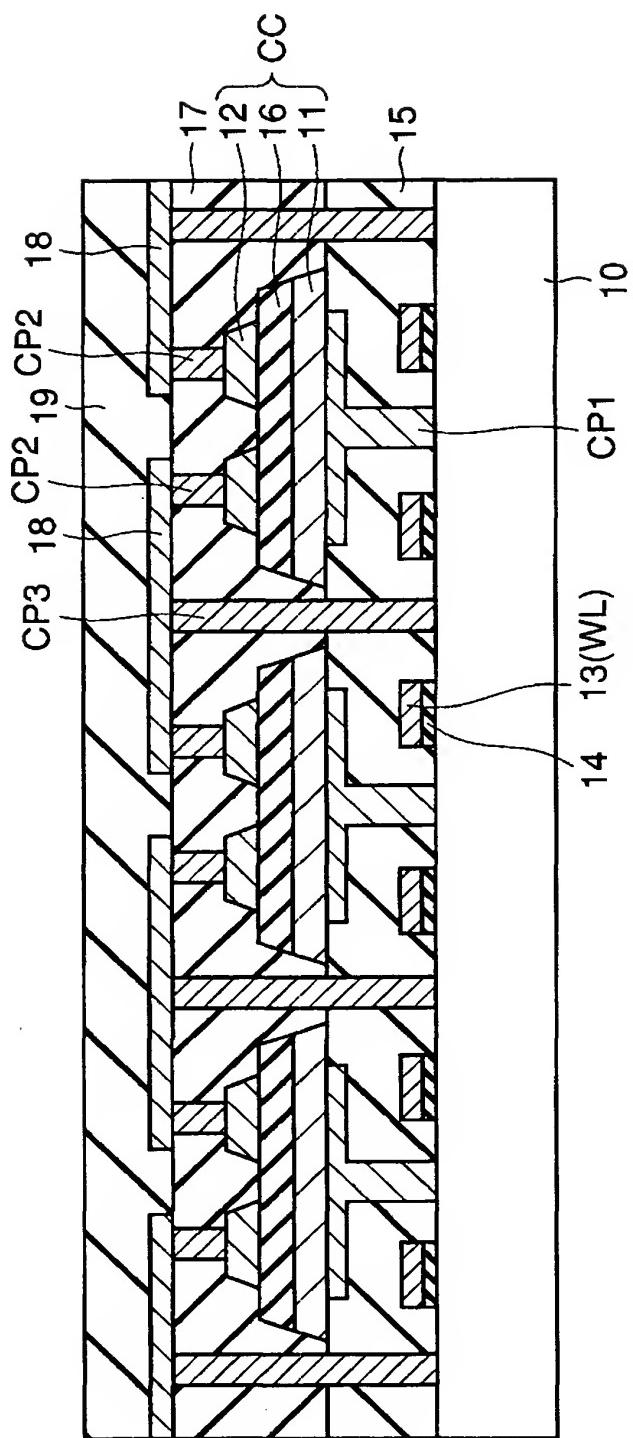
【書類名】

図面

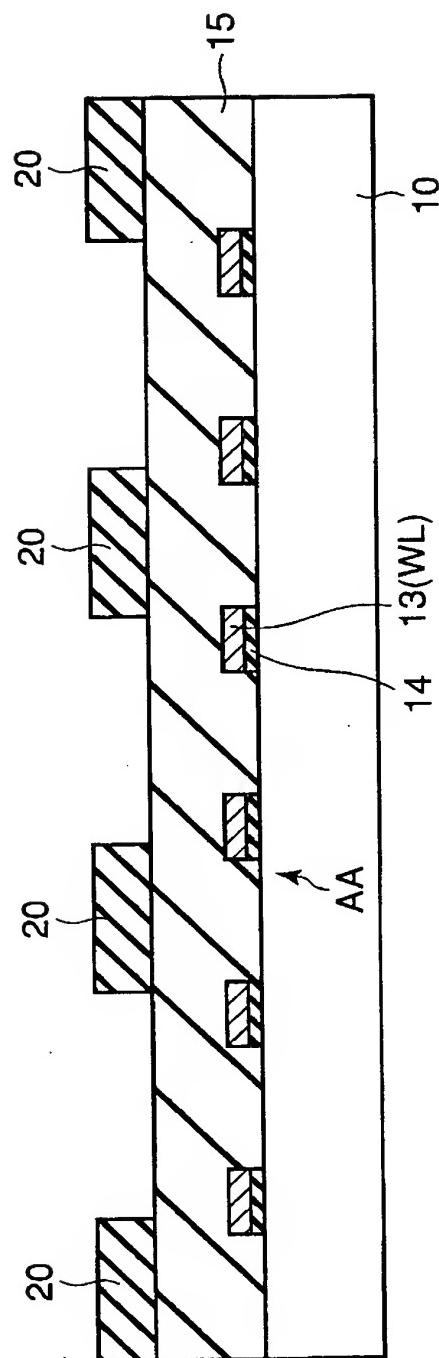
【図1】



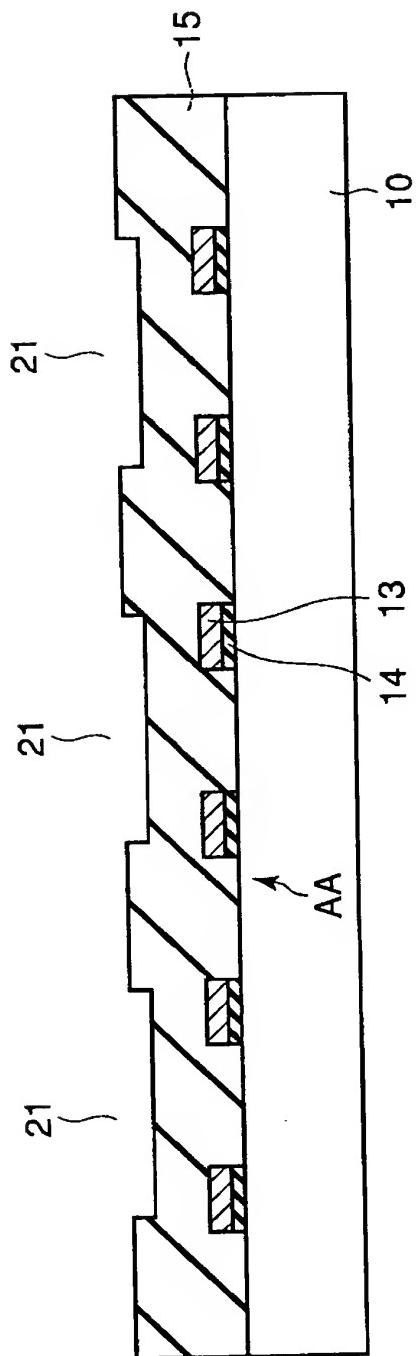
【図2】



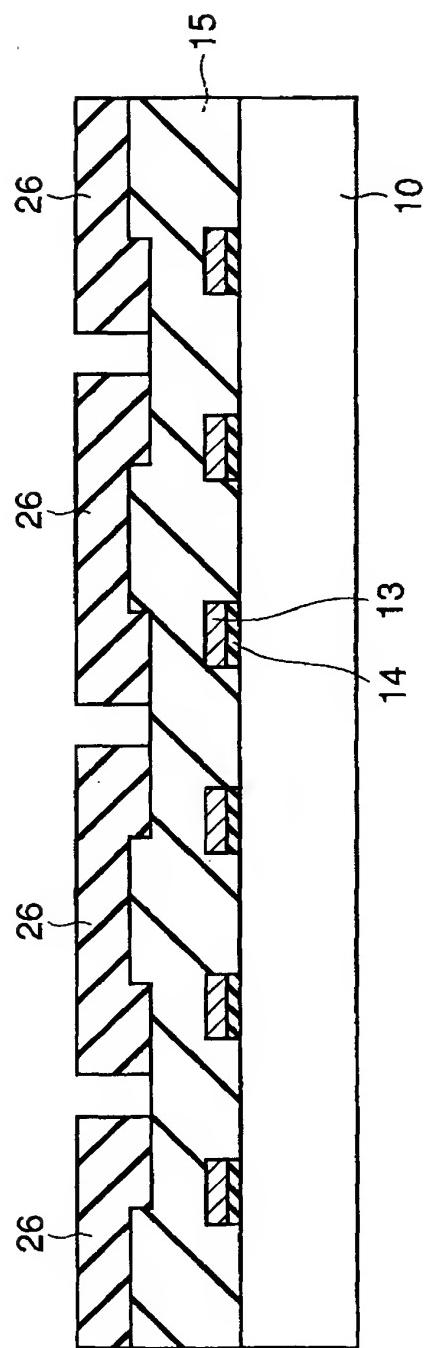
【図3】



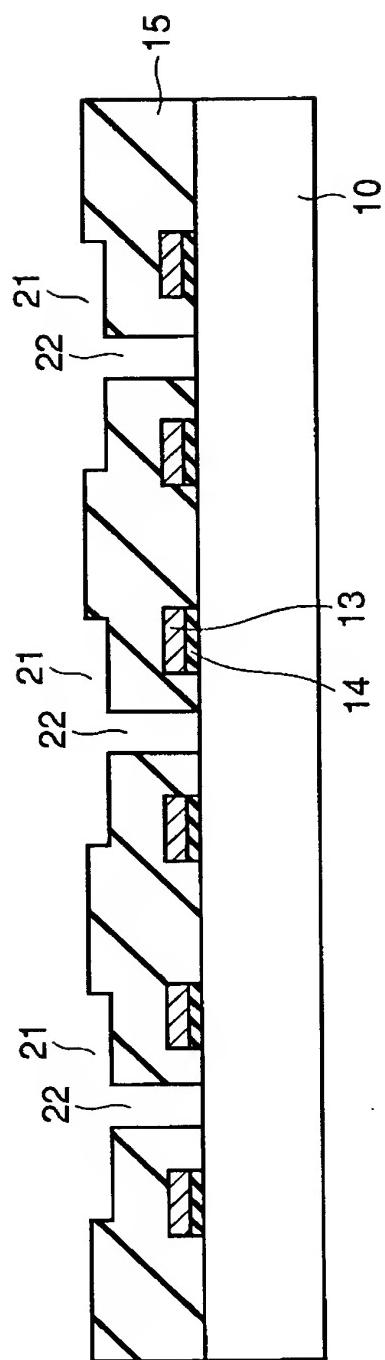
【図4】



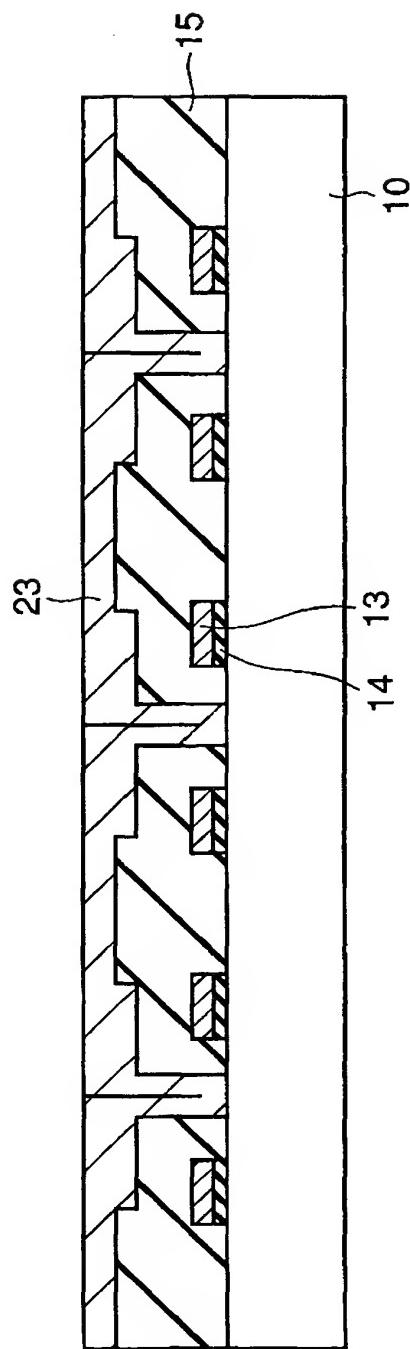
【図5】



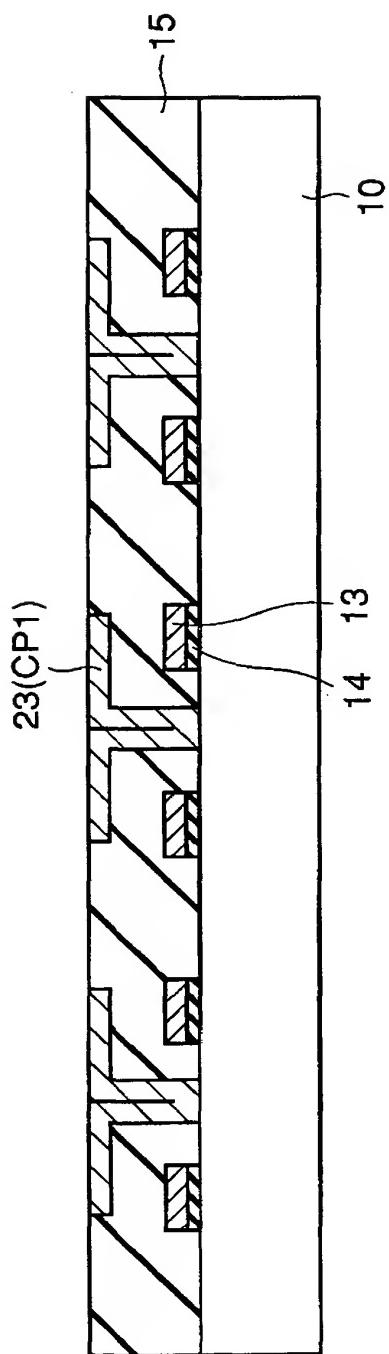
【図6】



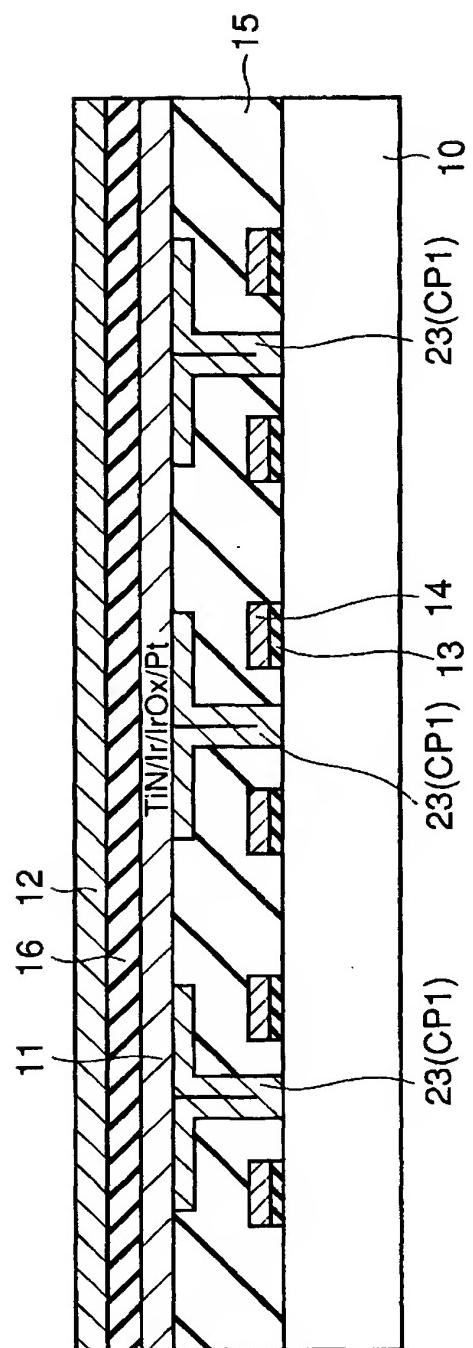
【図7】



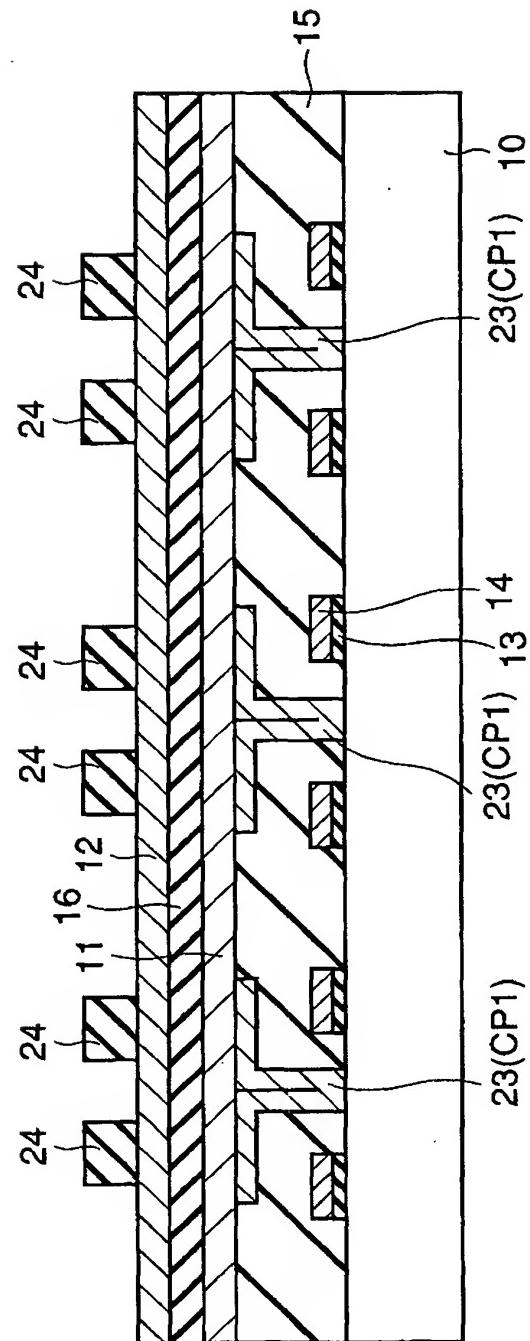
【図8】



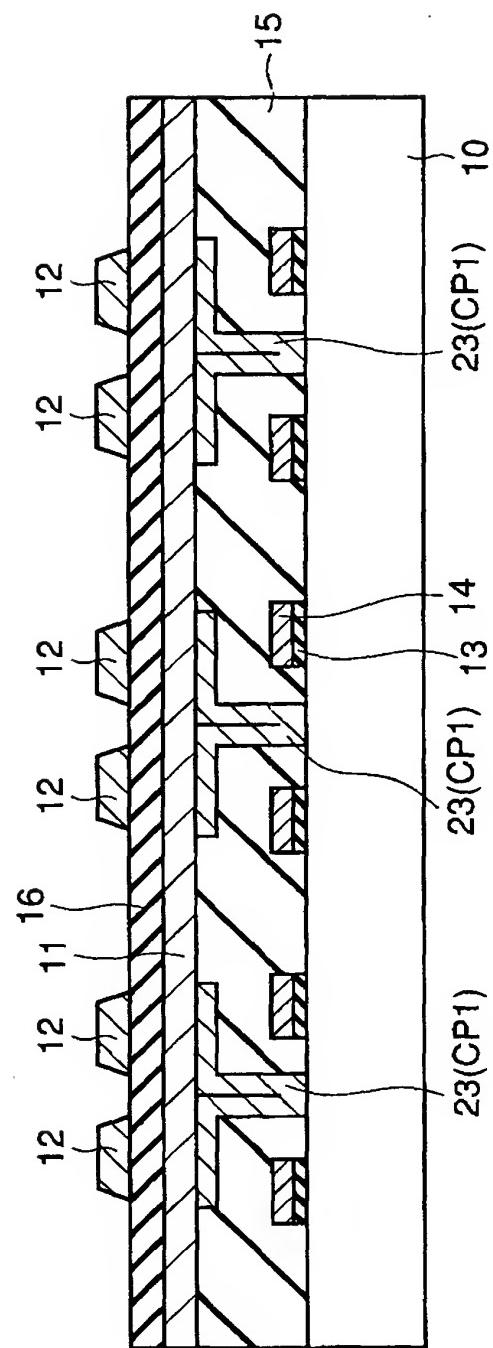
【図9】



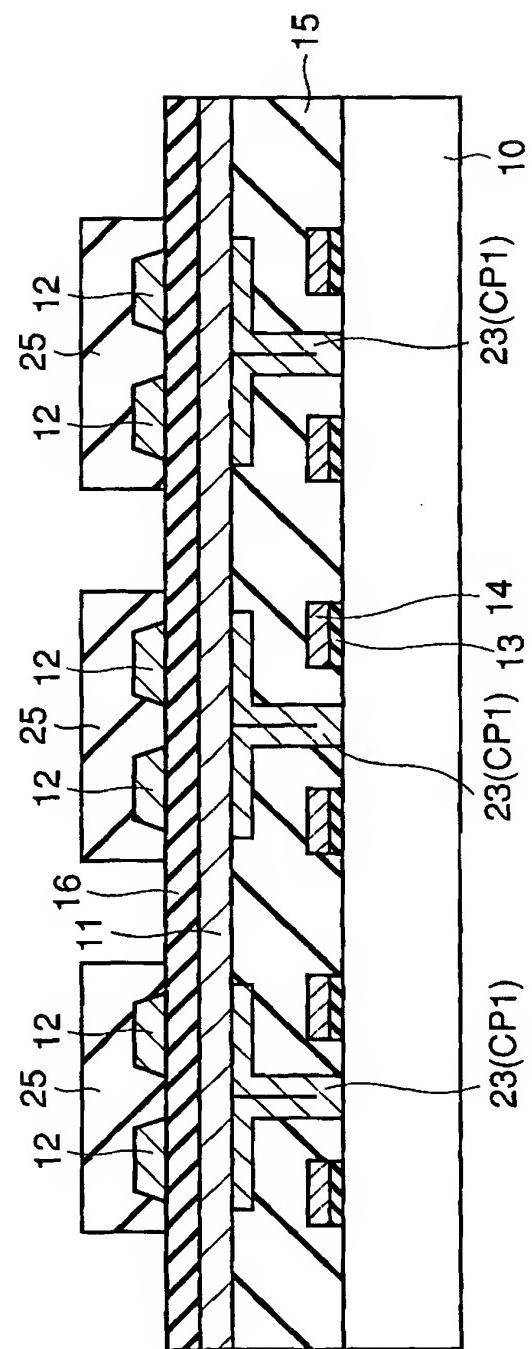
【図10】



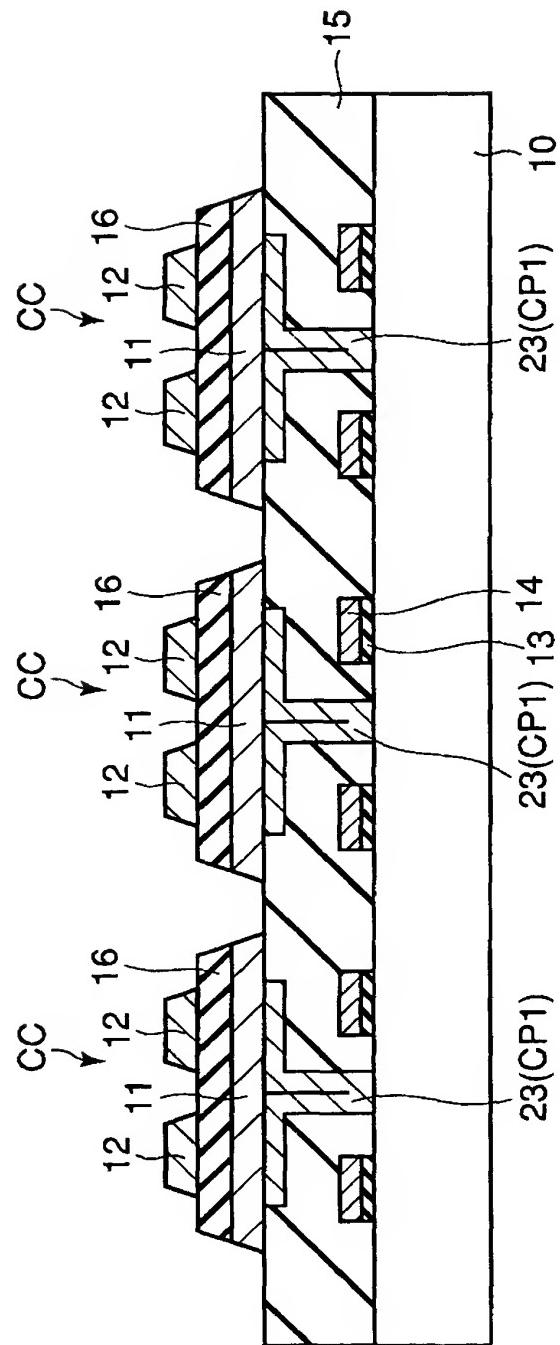
【図11】



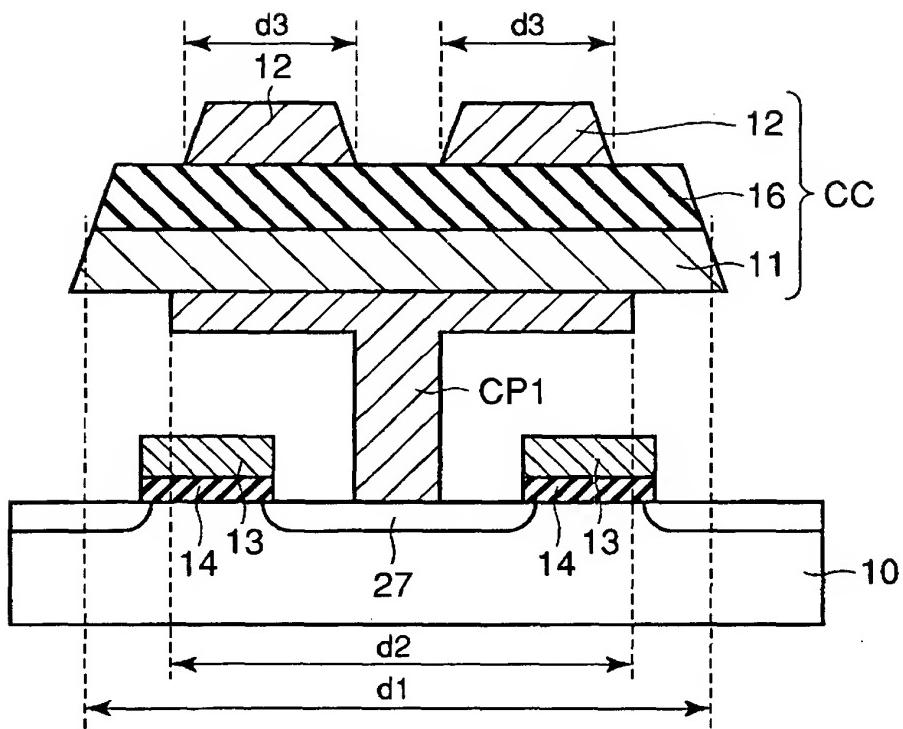
【図12】



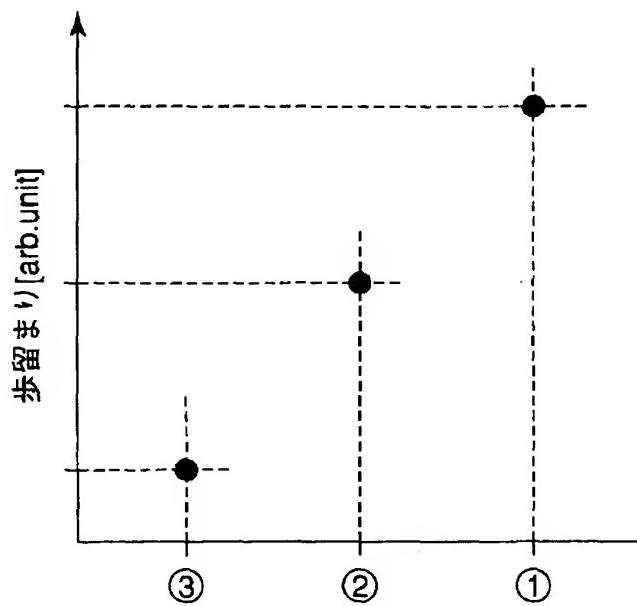
【図13】



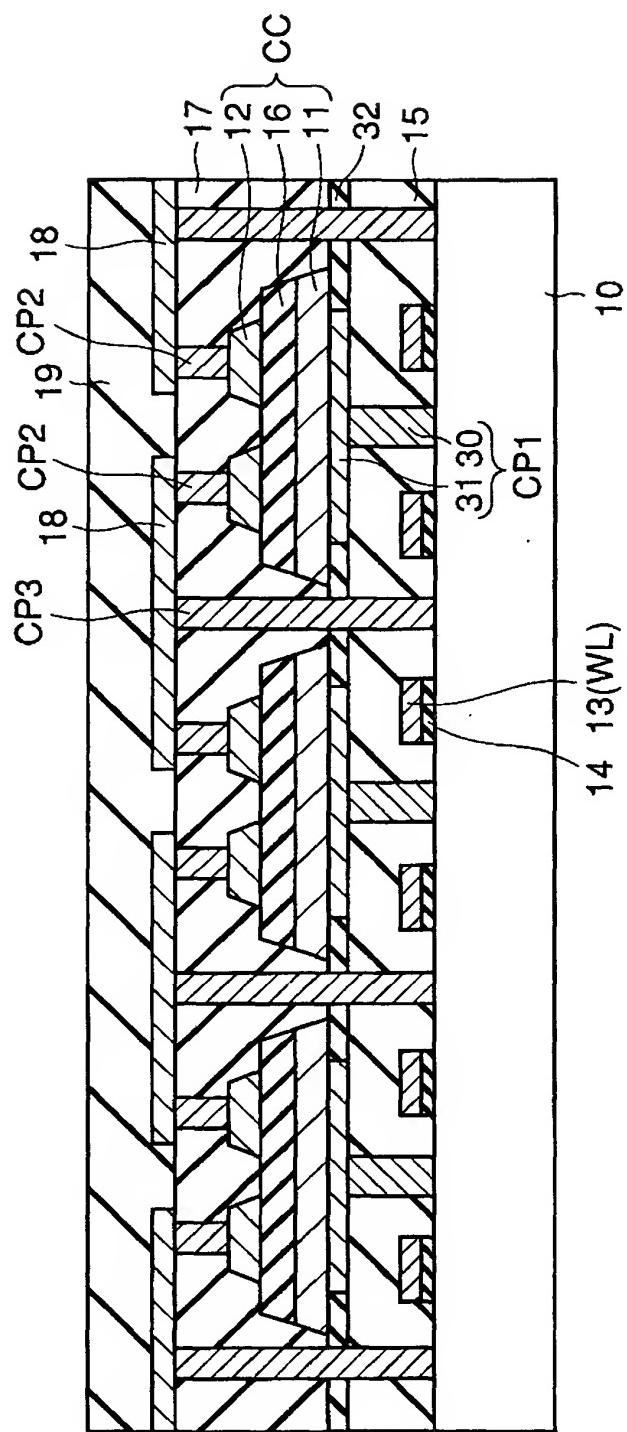
【図14】



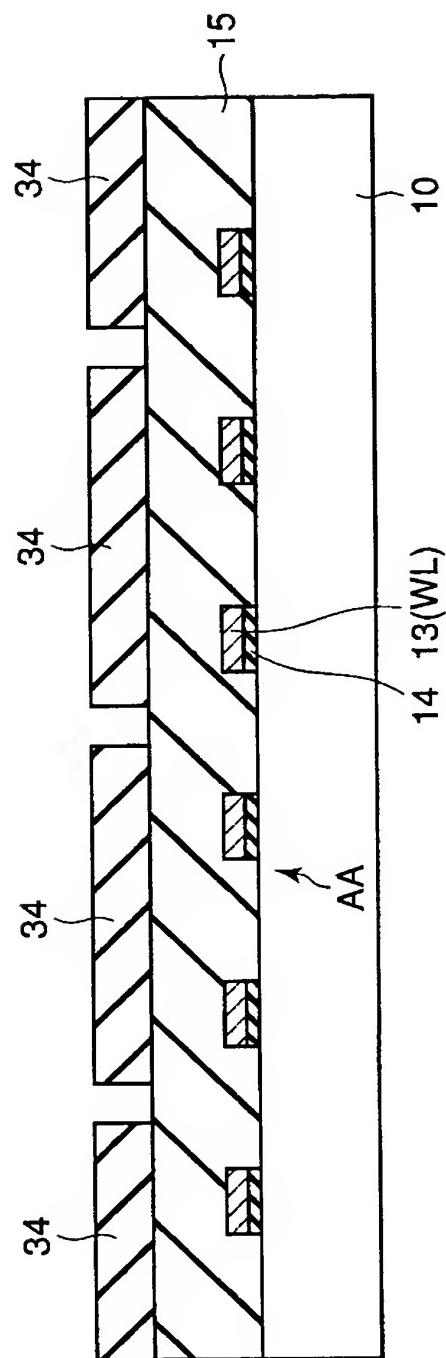
【図15】



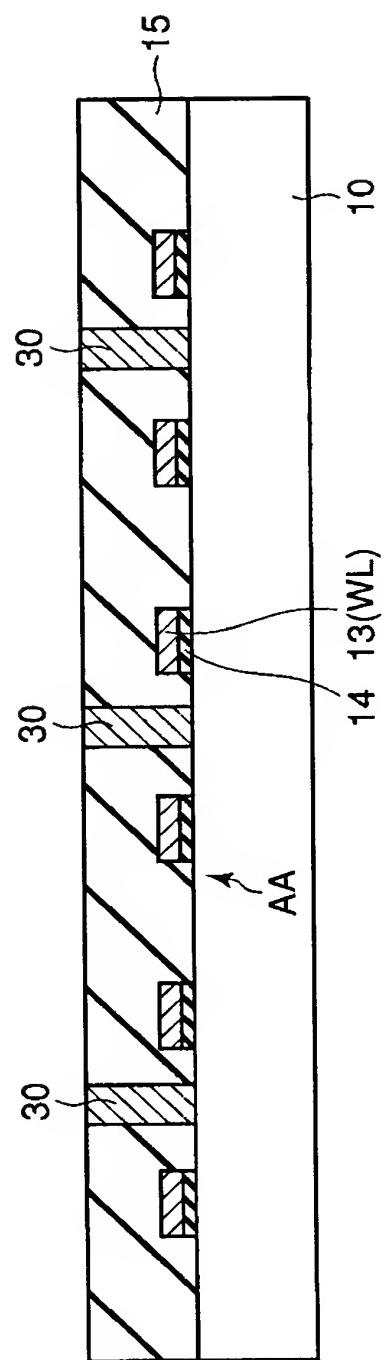
【図16】



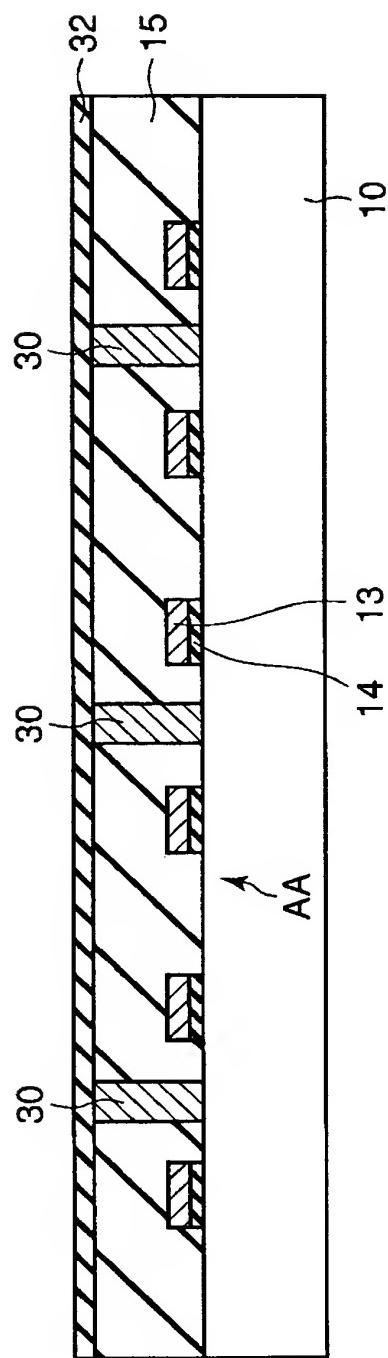
【図17】



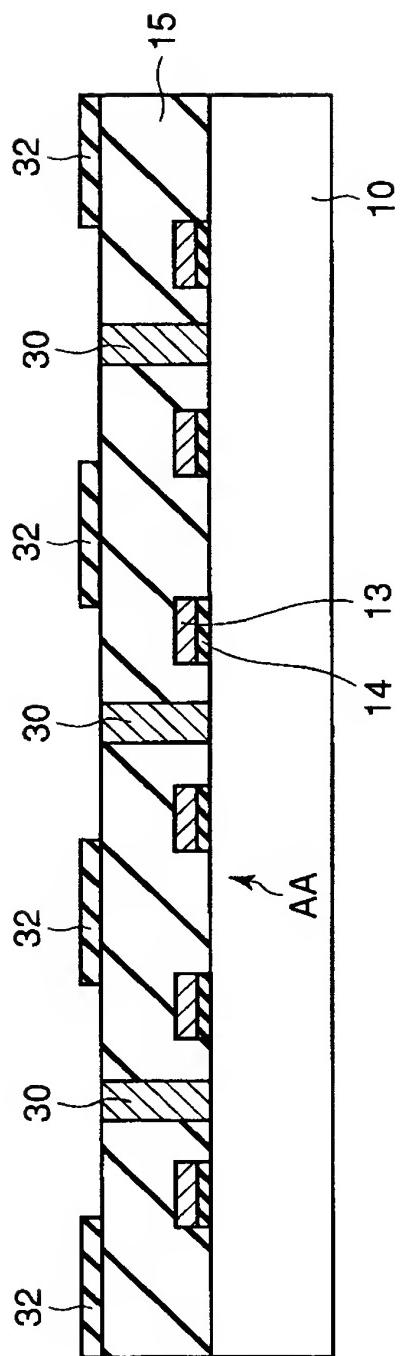
【図18】



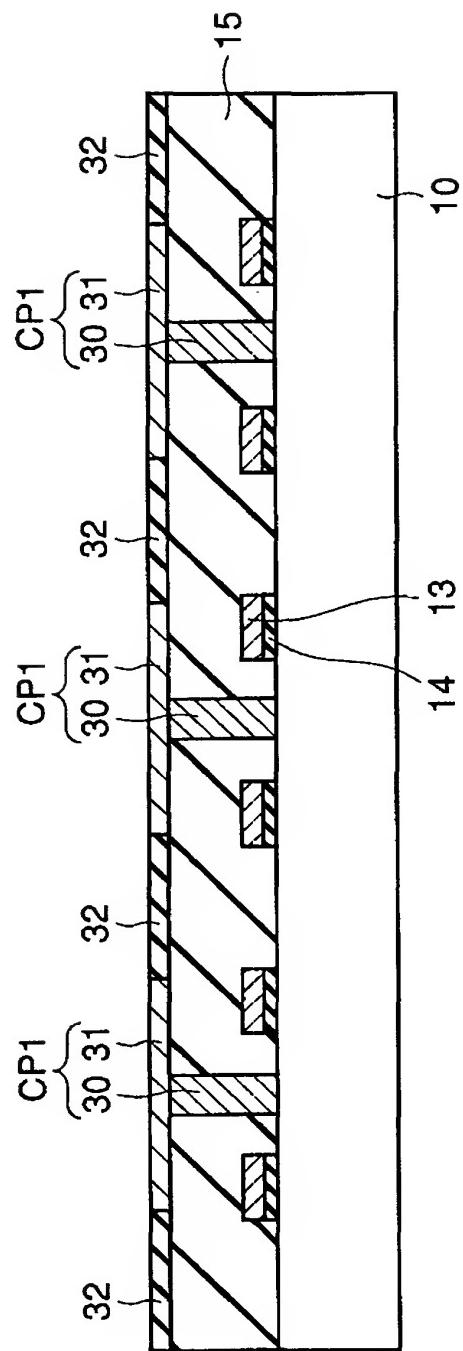
【図19】



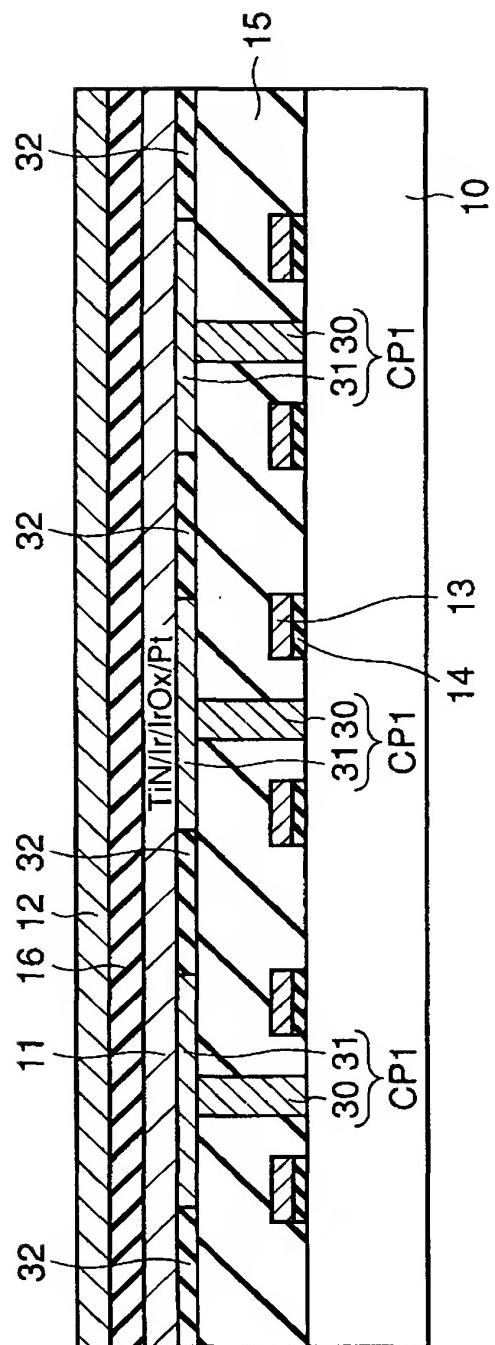
【図20】



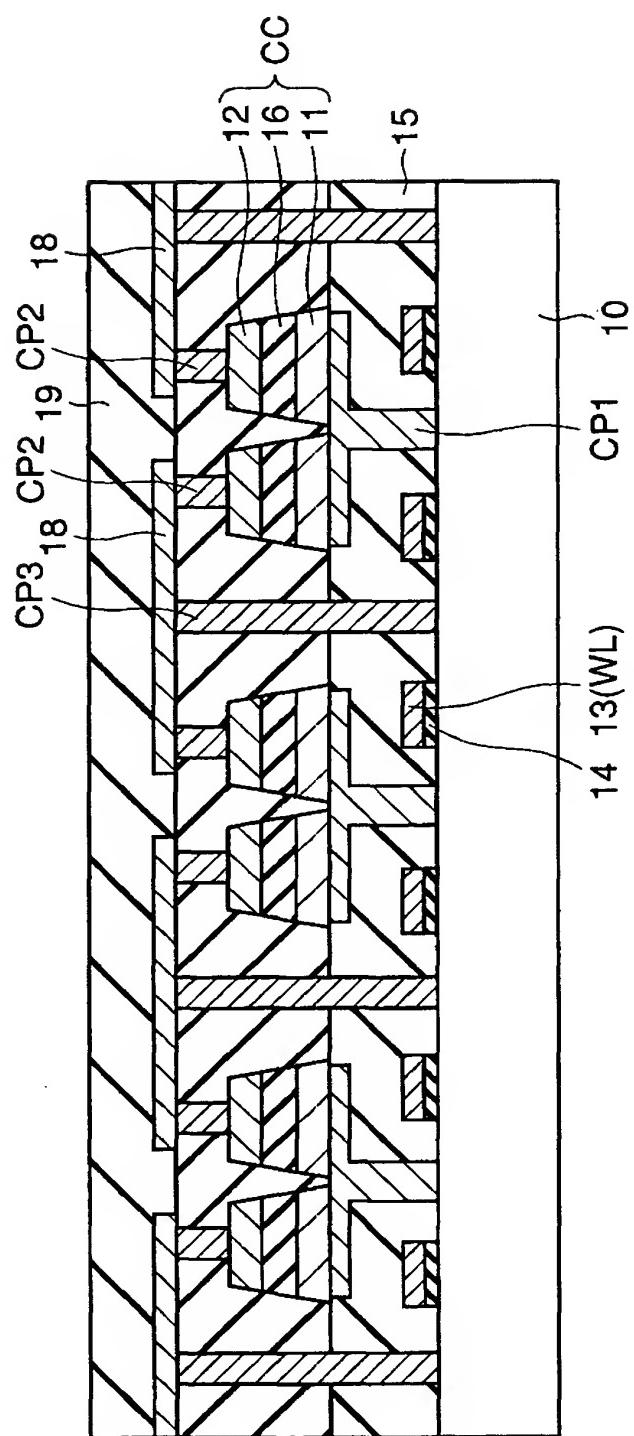
【図21】



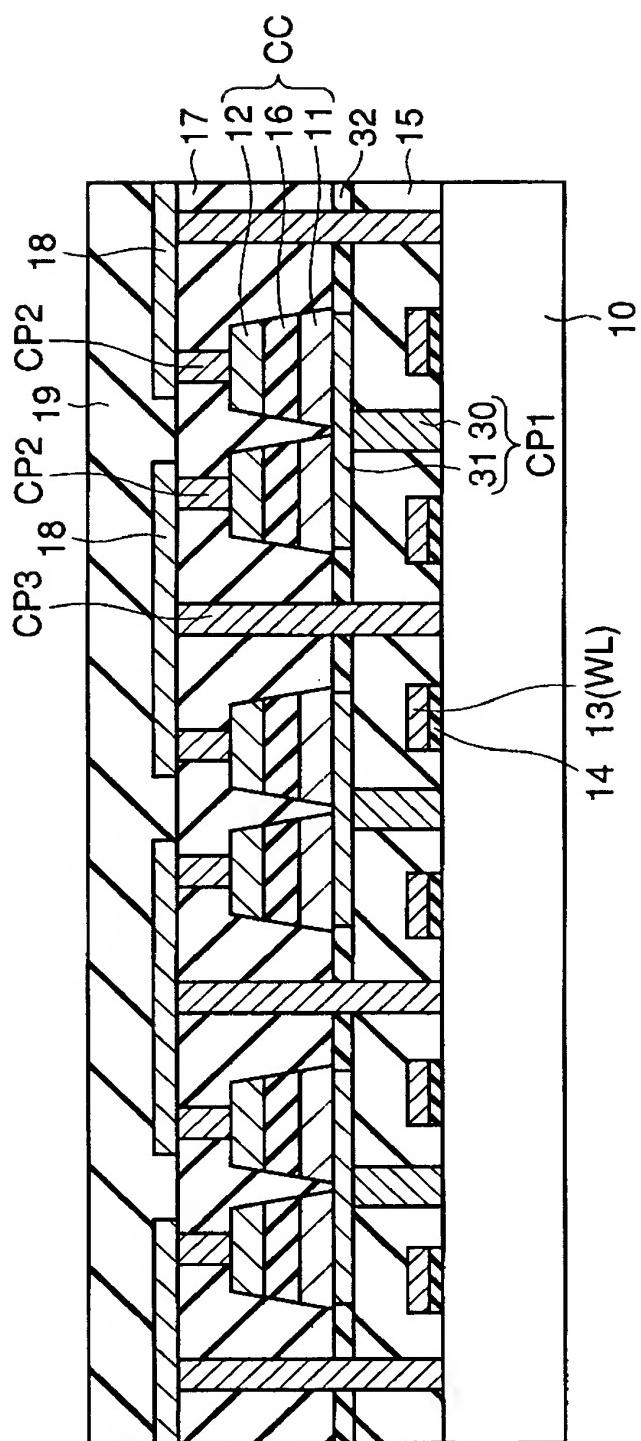
【図22】



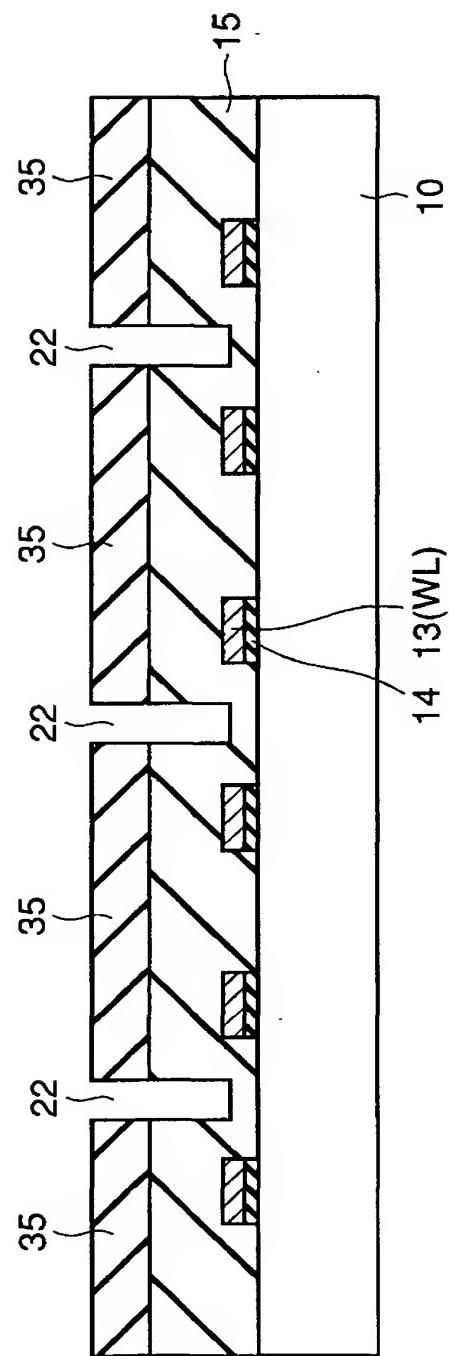
【図23】



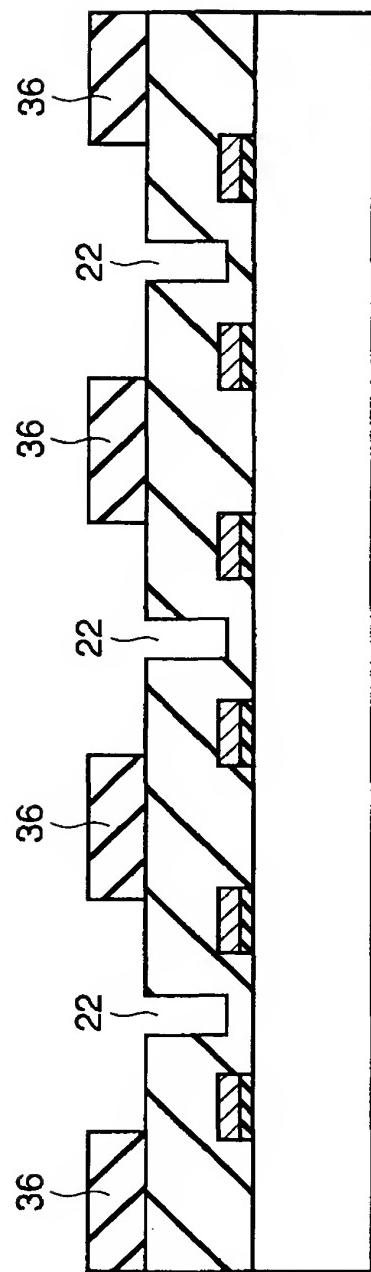
【図24】



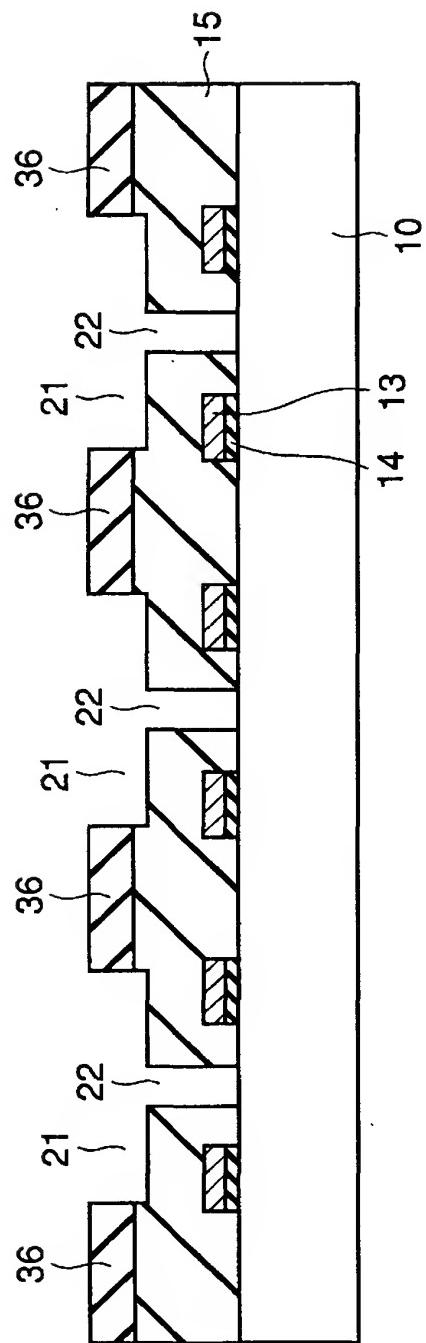
【図25】



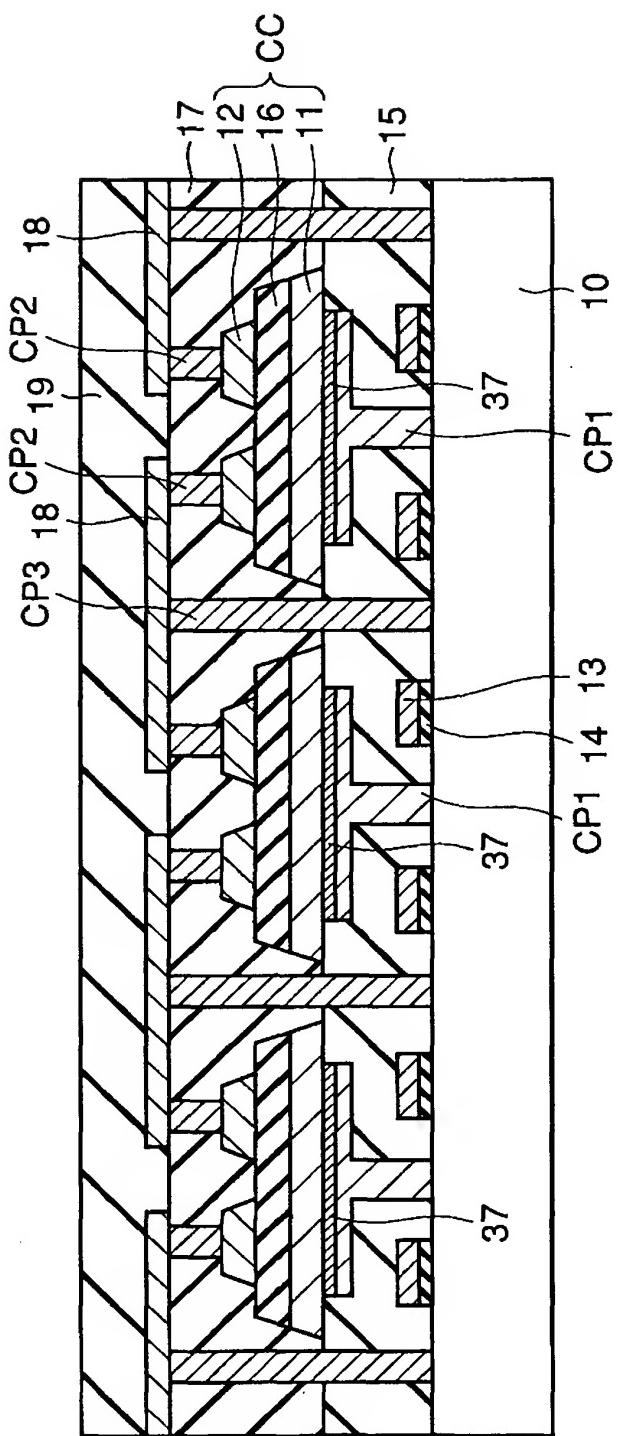
【図26】



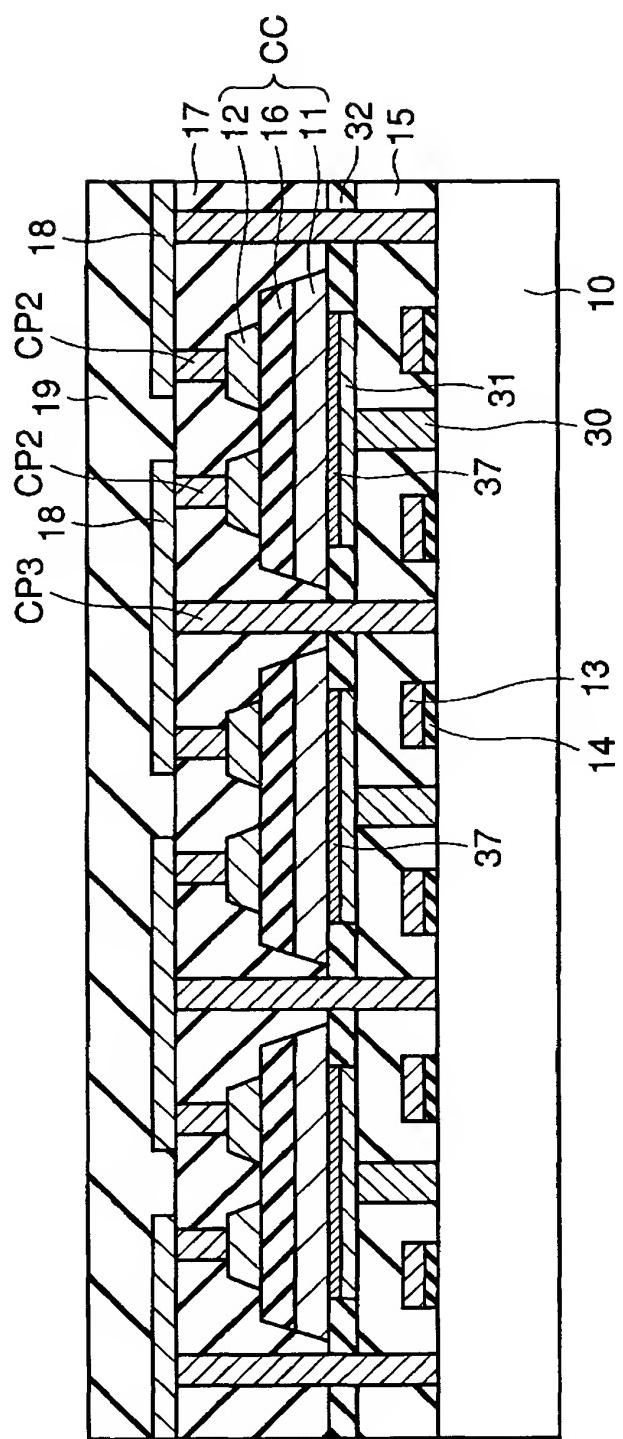
【図27】



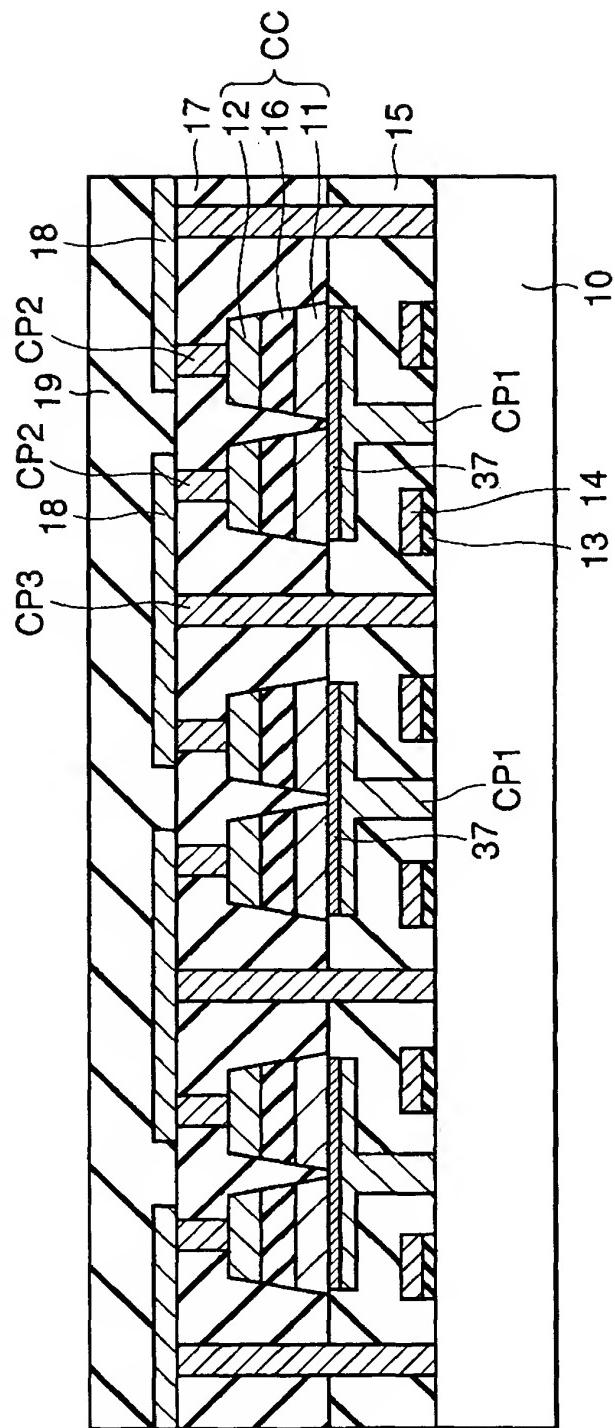
【図28】



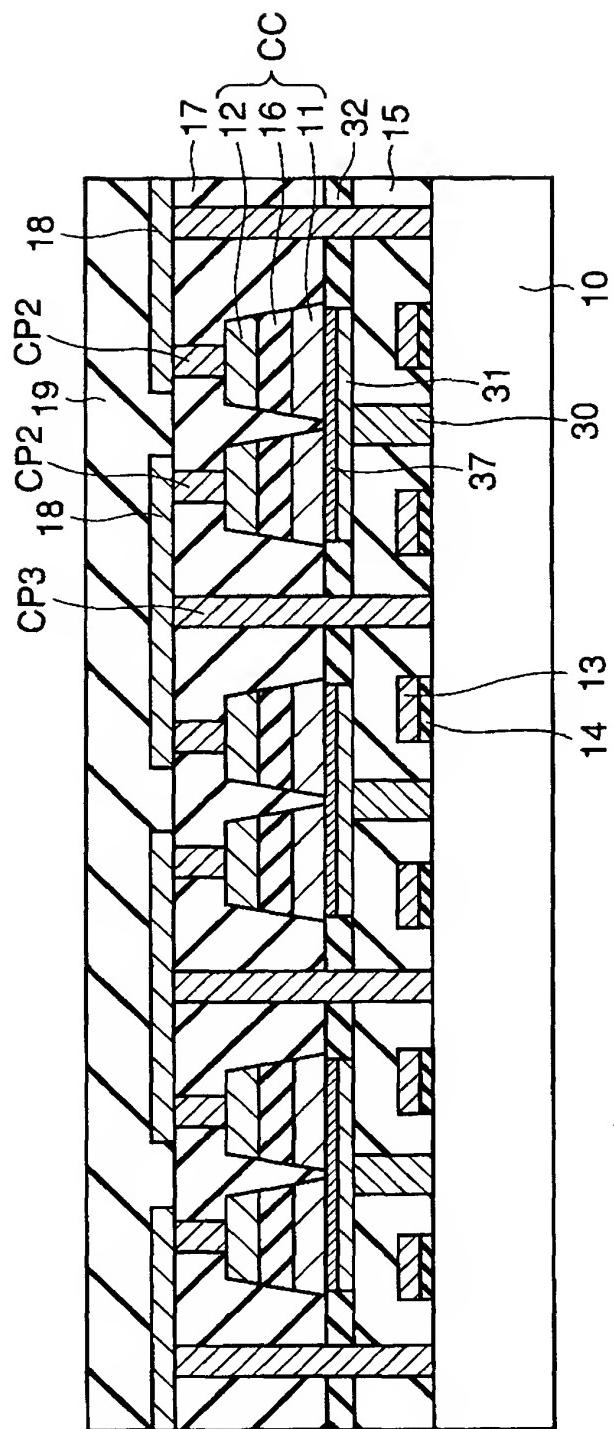
【図29】



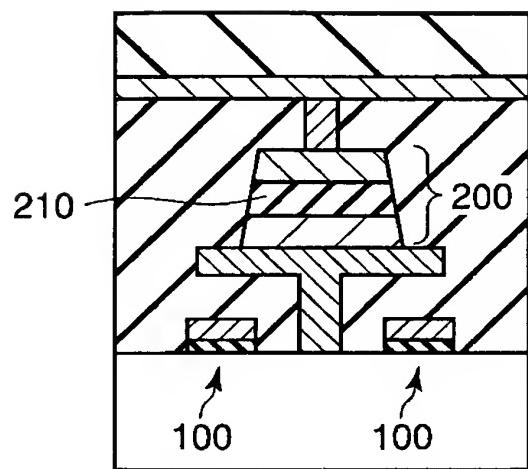
【図30】



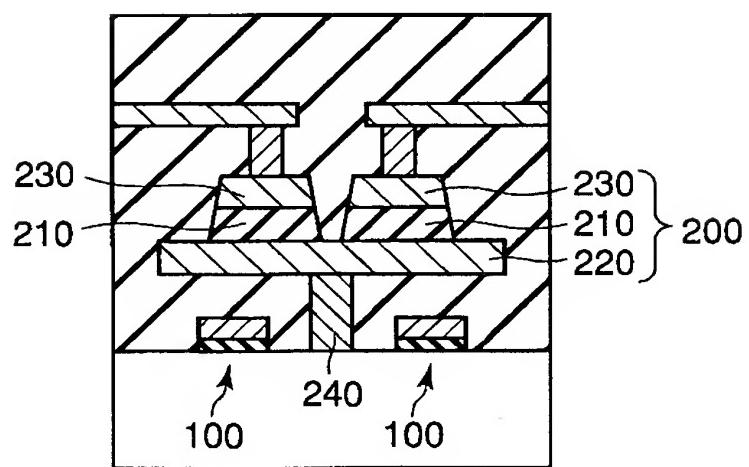
【図31】



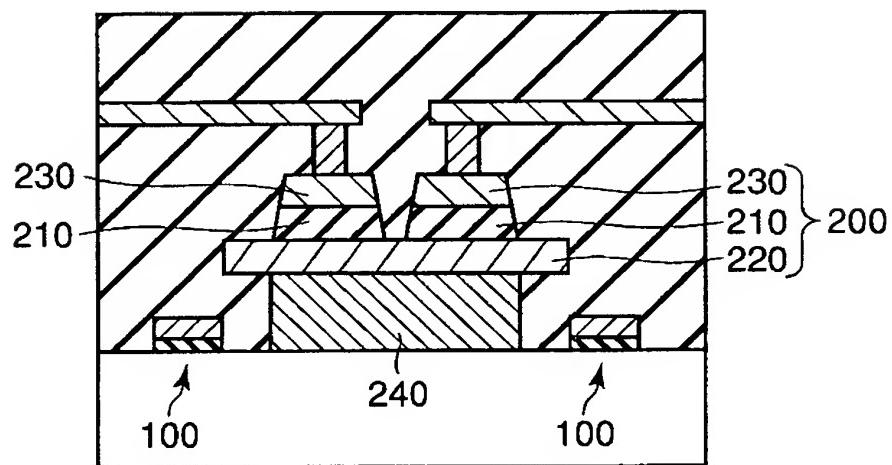
【図32】



【図33】



【図34】



【書類名】 要約書

【要約】

【課題】 セルキャパシタとコンタクトプラグとの接触抵抗を低減出来ると共に微細化可能な半導体装置及びその製造方法を提供すること。

【解決手段】 半導体基板10上に形成されたMOSトランジスタと、半導体基板10上に形成された層間絶縁膜15と、層間絶縁膜15中に形成され、MOSトランジスタの不純物拡散層27と接続されたコンタクトプラグCP1と、コンタクトプラグCP1上に形成されたキャパシタ下部電極11と、キャパシタ下部電極11上に形成された強誘電体膜16と、キャパシタ下部電極11上に、強誘電体膜16を介在して形成された2つのキャパシタ上部電極12とを具備し、コンタクトプラグCP1とキャパシタ下部電極11との接触面積は、キャパシタ上部電極12の各々と強誘電体膜16との接触面積よりも大きい。また、MOSトランジスタのゲート電極13の少なくとも一部は、コンタクトプラグCP1のキャパシタ下部電極11に接する領域の直下に位置している。

【選択図】 図2

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝